

4

Digitale techniek
Sequentiële logica

4.1 Inleiding

4.1.1 Combinatorische logica

De logische schakelingen die we tot hiertoe behandeld hebben zijn zogenaamde *COMBINATORISCHE SCHAKELINGEN* d.w.z. dat de uitgangstoestand (Y) op ieder tijdstip enkel en alleen afhankelijk is van de momentele toestand van de ingangsvariabelen (A en B). Elk voorafgaand in- of uitgangssignaal speelt geen rol op het huidige uitgangsniveau omdat combinatorische schakelingen **geen geheugenfunctie** bezitten.

4.1.2 Sequentiële logica

Meestal bevatten digitale logische systemen ook *SEQUENTIËLE SCHAKELINGEN*. Deze schakelingen bezitten een **geheugenwerking**. In een sequentiële schakeling wordt de logische toestand van de uitgang(en) niet alleen bepaald door de toestand van de ingangen maar ook door de inhoud van het geheugen zelf. In sequentiële systemen is het dikwijls zo dat de geheugeninhouden ook veranderen in functie van de **tijd**.

Parate kennis!

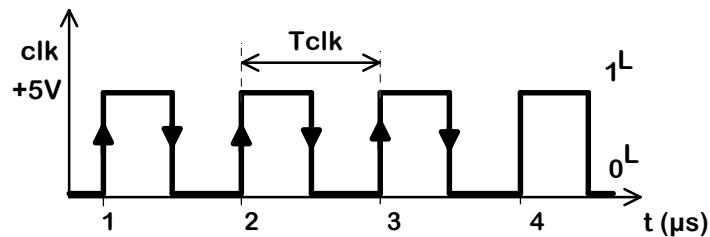
De *uitgangen* van digitale **sequentiële schakelingen** zijn afhankelijk van:

- de *ingangstoestanden*;
- de *geheugeninhoud*;
- de *tijd*.



4.1.3 Clocking

De tijd in een digitaal logisch systeem wordt bepaald door een zogenaamde **klok** (clock). Dit kloksignaal (klokpulsen) is een periodische blokgolf (kanteelspanning) die aan de elektronische geheugens wordt toegevoerd.



△ Fig.4.1 | Een kloksignaal wekt digitale logica tot leven...
Bron: W.Van Wichelen

Parate kennis!

De inhoud van de geheugens wordt uitsluitend bepaald op het moment dat het kloksignaal **verandert**.



Triggering - van geheugenregisters bijvoorbeeld - gebeurt dus enkel wanneer het kloksignaal van 0 naar 1 springt of wanneer het van 1 naar 0 springt. Na deze overgang blijft gedurende de klokperiodetijd de inhoud van het geheugen *ongewijzigd*. Meestal is de klokperiodetijd kleiner dan 1 μ s. Daardoor kunnen logische systemen gebouwd worden die enorm snel een zeer groot aantal logische functies opeenvolgend in de tijd kunnen uitvoeren. Denk maar aan hedendaagse computers: tegenwoordig draaien CPU's met een klokfrequentie van 3 à 4 GHz.

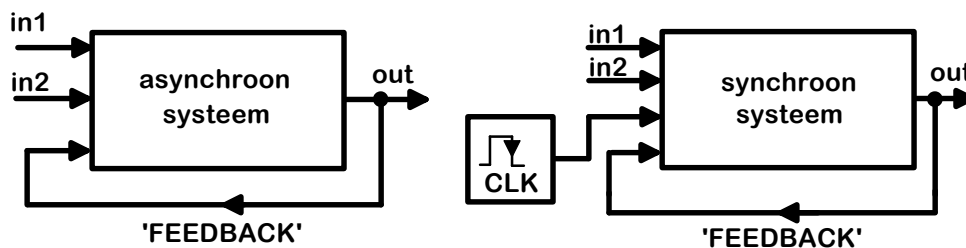
4.1.4 Synchrone en asynchrone logica

Parate kennis!

- Een logische sequentiële schakeling die werkt *zonder* kloksignaal is een voorbeeld van *ASYNCHRONE LOGICA*.
- Een geheugen waarvan de inhoud wijzigt op commando van klokpulsen is een voorbeeld van *SYNCHRONE LOGICA*.



Figuur 4.2 toont beide soorten logica op een schematische manier:



△ Fig.4.2 | Synchrone versus asynchrone logica.
Bron: W.Van Wichelen

4.2 Flipflops

4.2.1 Definitie

De kleinste elektronische geheugenmodule wordt gevormd door een logische schakeling die *FLIPFLOP* wordt genoemd. Een flipflop bezit twee stabiele toestanden ('hoog' en 'laag') en kan slechts 1 bit onthouden. Het gedrag van een flipflop is te vergelijken met dat van een tuimelschakelaar: eens in de stand 'AAN' geplaatst, blijft deze toestand behouden tot de schakelaar opzettelijk op 'UIT' wordt gezet. De naam is afkomstig van het geluid van een opkomend (flip) en afvallend (flop) elektromechanisch relais. Bistabiele elementen werden oorspronkelijk immers met behulp van relais uitgevoerd.

Definitie

Een **flipflop** is een logische schakeling die *twee stabiele toestanden* ('0' en '1') kan bezitten. Door een uitwendige oorzaak, een zogenaamde *TRIGGERIMPULS* wordt van de ene naar de andere toestand overgegaan.



Er moet dus :

- informatie kunnen *ingeschreven* worden;
- informatie kunnen *bewaard* worden;
- informatie kunnen *uitgelezen* worden.

Om informatie (data) in te schrijven zijn er twee extra ingangen nodig: *SET* en *RESET*.

Parate kennis!

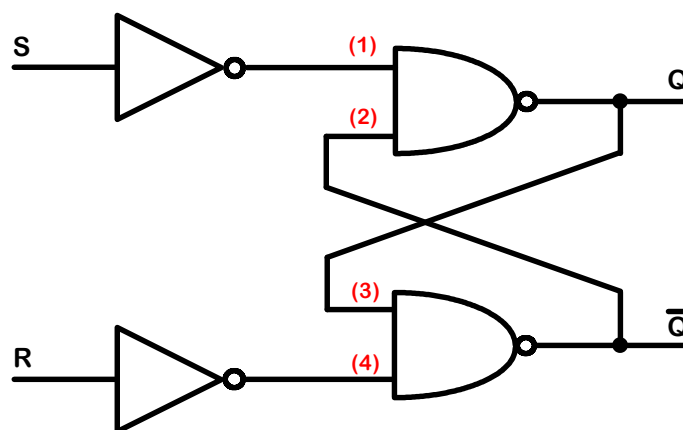
- Wanneer we een flipflop **setten** dan brengen we de uitgang (Q) naar '1'.
- Wanneer we hem **resetten** dan brengen we de uitgang (Q) naar '0'.



4.2.2 Reset/Set-flipflop

De **RS-flipflop**^[14] is de meest eenvoudige flipflop. Hij vormt de basis van alle andere types. Hij bezit twee uitgangen **Q** en **/Q**^[15] en slechts twee ingangen **S** en **R** waarmee we de flipflop respectievelijk kunnen *setten* of *resetten*. De RS-flipflop is een *asynchrone* flipflop omdat er **geen klokkingang** aanwezig is. De setingang (S) en resetingang (R) zijn dan ook *ASYNCHRONE* ingangen.

Principeschema



△ Fig.4.3 | Principeschema van de RS-flipflop.
Bron: W.Van Wichelen

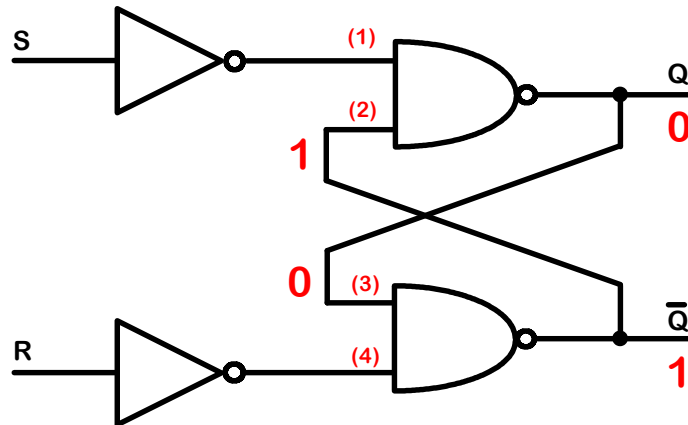
[14] In de technische literatuur kom je deze digitale component ook wel tegen onder de benaming 'latch' (= 'grendel').

[15] Spreek uit als 'Q bar'.

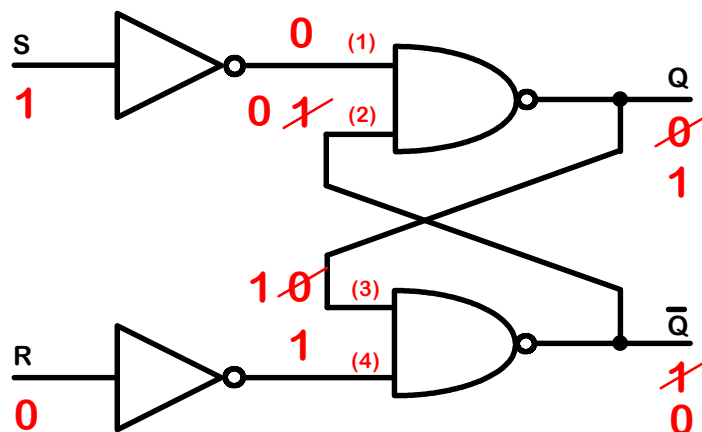
Werking

Door te redeneren op het principeschema van figuur 4.3 kunnen we de werking van de RS-flipflop achterhalen.

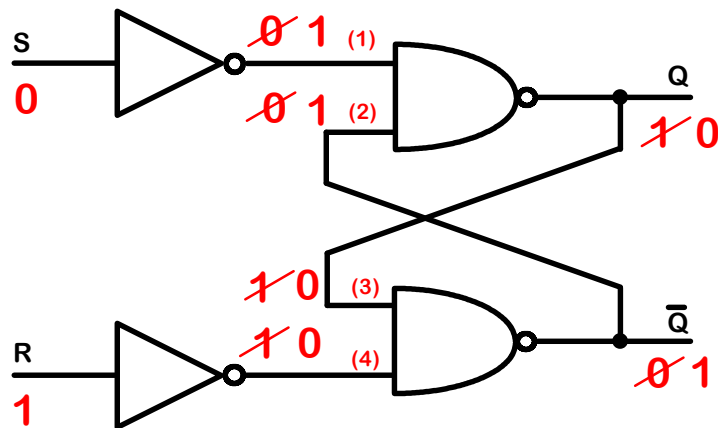
1. We gaan uit van de veronderstelling dat de uitgang **Q** op '0' staat en uitgang **/Q** op '1'. Via de terugkoppeling staat op (3) een '0' en op (2) een '1'.



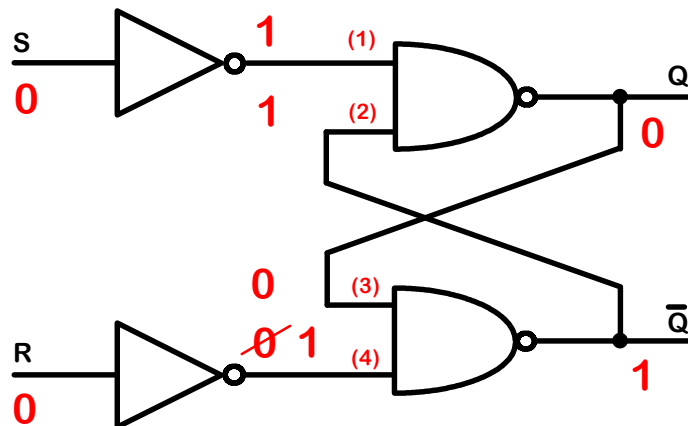
2. We plaatsen nu een '1' op **S** en een '0' op **R**.
Op (1) komt nu een '0' te staan en op (4) een '1'.
Er stond op (2) een '1'; **Q** verandert naar een '1'.
Het logische niveau van (3) verandert ook naar '1'.
Op (4) staat nog steeds een '1'; **/Q** slaat om naar een '0'.
Deze '0' wordt teruggekoppeld naar (2) zodat **Q** '1' blijft:
dit is een *stabiele* toestand. We hebben de RS-flipflop '**geset**'.



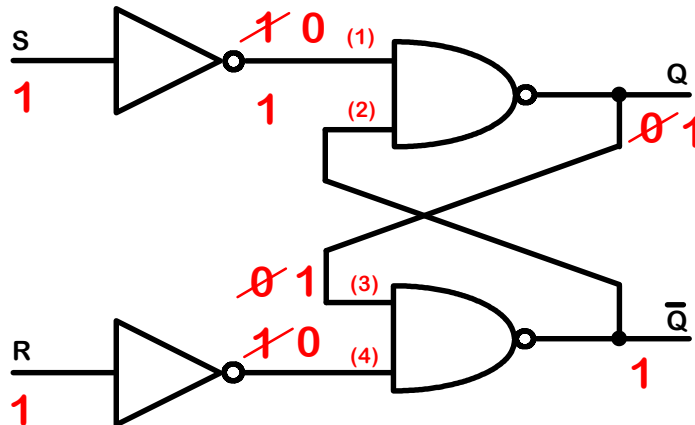
3. Nu plaatsen we de **S**-ingang op '0', en de **R**-ingang op '1'.
 Het logische niveau van (1) verandert naar '1'.
 Zo klapt ook het niveau van (4) om naar '0'.
 De NAND-functie genereert nu een '1' en $\bar{Q}$ slaat om.
 Op (2) verschijnt nu een '1' zodat **Q** omslaat naar '0'.
 Via de terugkoppeling staat (3) nu ook op '0'.
 Dit is weerom een *stabiele* situatie: de flipflop is **gereset**.



4. We leggen beide ingangen nu aan het logische nul-niveau.
 De toestand op (4) verandert naar '1'.
 $\bar{Q}$ blijft ongewijzigd op '1' en **Q** blijft ongewijzigd op '0'.
 De toestand van de flipflop wijzigt niet: **geheugenwerking**.



5. We leggen beide ingangen nu aan het logische één-niveau.
 Op (1) en (4) komt een '0' te staan.
 De NAND-functie doet Q omklappen naar '1'.
 Via de terugkoppeling verandert het niveau op (3) naar '1'.
 /Q blijft '1' maar Q is ook '1'. Beide uitgangen staan op hetzelfde logische één-niveau: dit is een **ongewenste** toestand.



Besluit

- Als de ingeschreven data moet *bewaard* blijven, moeten de ingangen S en R de logische toestand '0' bezitten.
- Als we een logische '1' in de flipflop willen schrijven, maken we de S-ingang kortstondig '1': **SET**.
- Als we een logische '0' in de flipflop willen schrijven, maken we de R-ingang kortstondig '1': **RESET**.
- Door beide ingangen '1' te maken, creëren we een **VERBODEN TOESTAND** omdat de uitgangen nu niet meer elkaars inverse zijn.



Karakteristieke tabel van een RS-flipflop

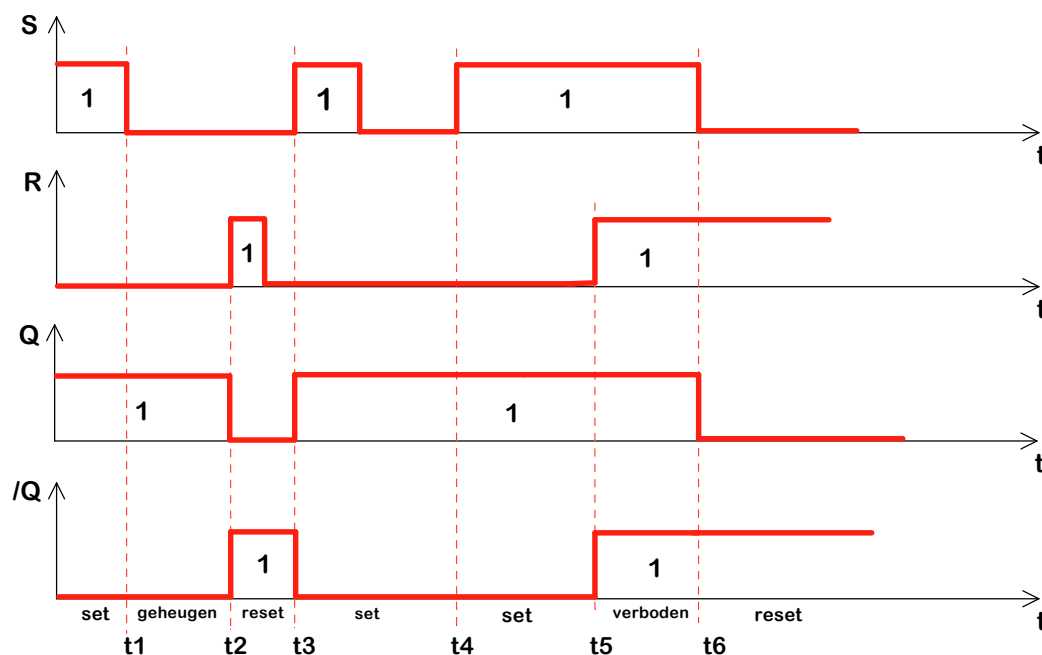
Al het voorgaande kunnen we verkort noteren in een zogenaamde **karakteristieke tabel**: een vereenvoudigde versie van de waarheidstabel of toestandentabel. In de datasheets vind je deze tabel terug onder de Engelse benaming '*function table*'. De notatie $Q_n^{[16]}$ staat voor de toestand van de uitgang na een verandering op één van de ingangen.

	input	input	output	output	action
#	S	R	Q_n	$/Q_n$	
1	0	0	Q	$/Q$	memory
2	0	1	0	1	reset
3	1	0	1	0	set
4	1	1	X	X	forbidden

△ Fig.4.4 | Karakteristieke tabel van een RS-flipflop met actief hoge ingangen. Bron: W.Van Wichelen

Tijdvolgordediagram

De werking van een RS-flipflop kan ook duidelijk gemaakt worden via zogenaamde **tijdvolgordediagrammen**:



△ Fig.4.5 | Tijdvolgordediagram van een RS-flipflop met actief hoge ingangen. Bron: W.Van Wichelen

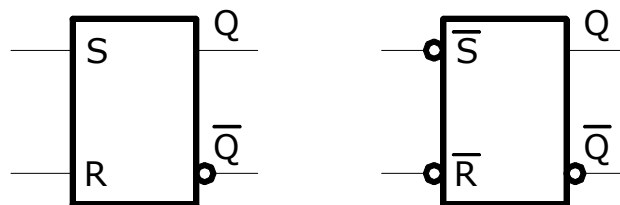
[16] ' Q_n ': 'n' staat voor 'next'.

Actief hoge en actief lage ingangen

- Een flipflop bezit **actief hoge** (active high) ingangen als we de uitgangen kunnen aansturen met een logisch **hoog** signaal ('1' of 'H')
- Een flipflop bezit **actief lage** (active low) ingangen als we de uitgangen kunnen aansturen met een logisch **laag** signaal ('0' of 'L')
- Let op: een **zwevende** ingang wordt door digitale logica dikwijls aanzien als een logisch hoog (H) niveau!



Functionysymbool



△ Fig.4.6 | Functionysymbolen van een RS-flipflop met actief hoge (links) en actief lage (rechts) ingangen.
Bron: W.Van Wichelen

4.2.3 RS-flipflop als RAM-geheugen

RS-flipflops kunnen we gebruiken om logische nullen en enen een zekere tijd te bewaren. We kunnen een RS-flipflop aanzien als een **1-bit geheugen**. We kunnen immers een bepaalde logische toestand inschrijven en bewaren, en later weer uitlezen. Een '1' in het geheugen schrijven doen we door te 'setten' en een '0' in het geheugen schrijven doen we door te 'resetten'. Zolang de voedingsspanning aanwezig is zal het geheugen deze informatie blijven behouden. Geheugen-IC's zoals RAM^[17] bevatten miljoenen RS-flipflop-schakelingen.

[17] 'RAM' staat voor 'Random Acces Memory' en is een computergeheugen waarvan iedere geheugenplaats even snel toegankelijk is.

4.2.4 IC 74LS279



August 1986
Revised March 2000

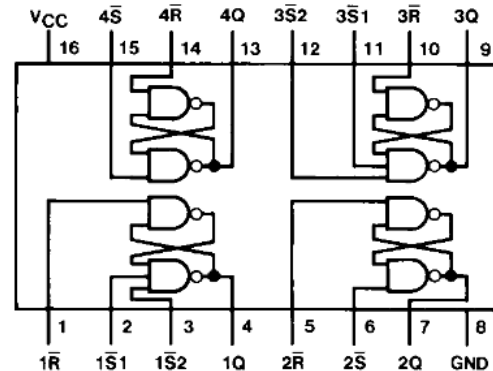
DM74LS279

Quad $\bar{S}$ -R Latch

General Description

The DM74LS279 consists of four individual and independent Set-Reset Latches with active low inputs. Two of the four latches have an additional $\bar{S}$ input ANDed with the primary $\bar{S}$ input. A LOW on any $\bar{S}$ input while the $\bar{R}$ input is HIGH will be stored in the latch and appear on the corresponding Q output as a HIGH. A LOW on the $\bar{R}$ input while the $\bar{S}$ input is HIGH will clear the Q output to a LOW. Simultaneous transition of the $\bar{R}$ and $\bar{S}$ inputs from LOW-to-HIGH will cause the Q output to be indeterminate. Both inputs are voltage level triggered and are not affected by transition time of the input data.

Connection Diagram



Function Table

Inputs		Output
$\bar{S}$ (Note 1)	$\bar{R}$	Q
L	L	H (Note 2)
L	H	H
H	L	L
H	H	Q_0

H = HIGH Level

L = LOW Level

Q_0 = The Level of Q before the indicated input conditions were established.

Note 1: For latches with double $\bar{S}$ inputs:

H = both $\bar{S}$ inputs HIGH

L = one or both $\bar{S}$ inputs LOW

Note 2: This output level is pseudo stable; that is, it may not persist when the $\bar{S}$ and $\bar{R}$ inputs return to their inactive (HIGH) level.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

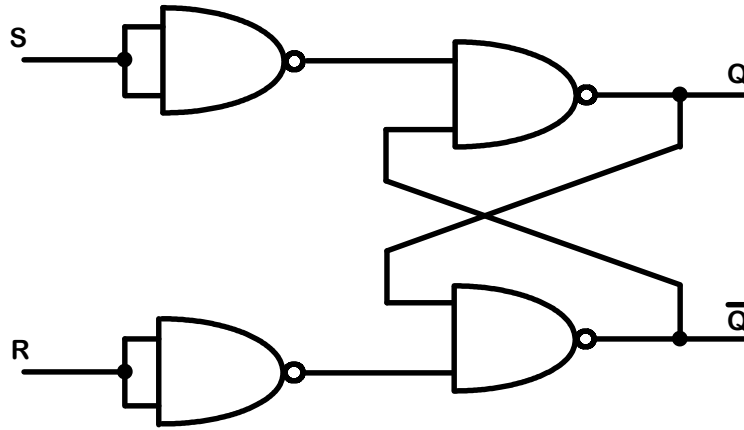
Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

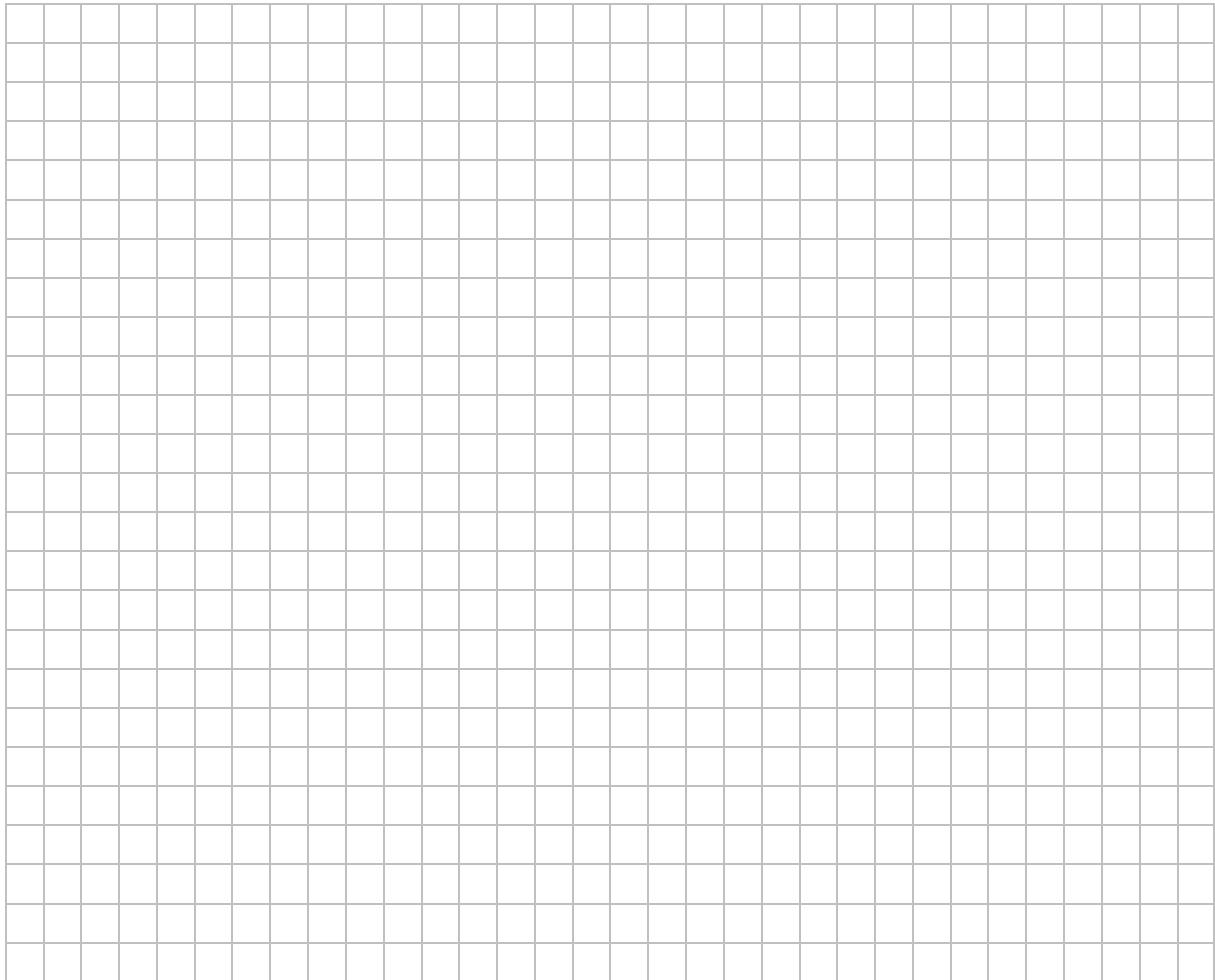
Symbol	Parameter	Conditions	Min	Typ (Note 4)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}, I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}, I_{OH} = \text{Max}$ $V_{IL} = \text{Max}, V_{IH} = \text{Min}$	2.7	3.5		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}, I_{OL} = \text{Max}$ $V_{IL} = \text{Max}, V_{IH} = \text{Min}$ $I_{OL} = 4 \text{ mA}, V_{CC} = \text{Min}$		0.35 0.25	0.5 0.4	V
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}, V_I = 7 \text{ V}$			0.1	mA
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}, V_I = 2.7 \text{ V}$			20	μA
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}, V_I = 0.4 \text{ V}$			-0.4	mA
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 5)	-20		-100	mA
I_{CC}	Supply Current	$V_{CC} = \text{Max}$ (Note 6)		3.8	7	mA

4.2.5 Oefeningen

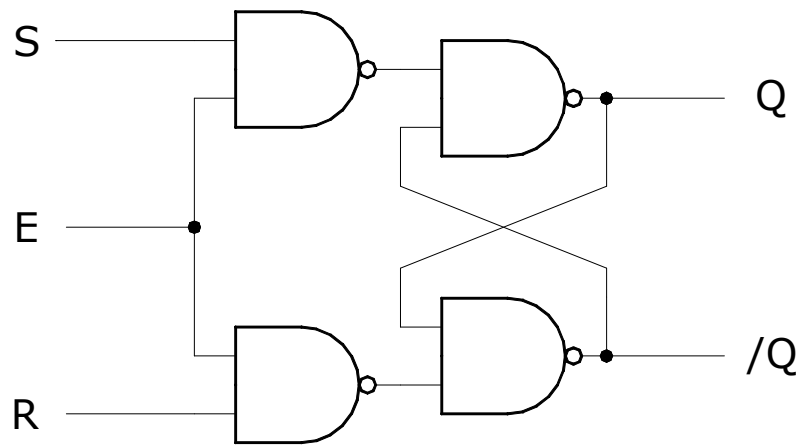
1. Stel de toestandentabel op van de schakeling van figuur 4.7.
Leid de karakteristieke tabel af.
Heb je te maken met actief hoge of actief lage ingangen?



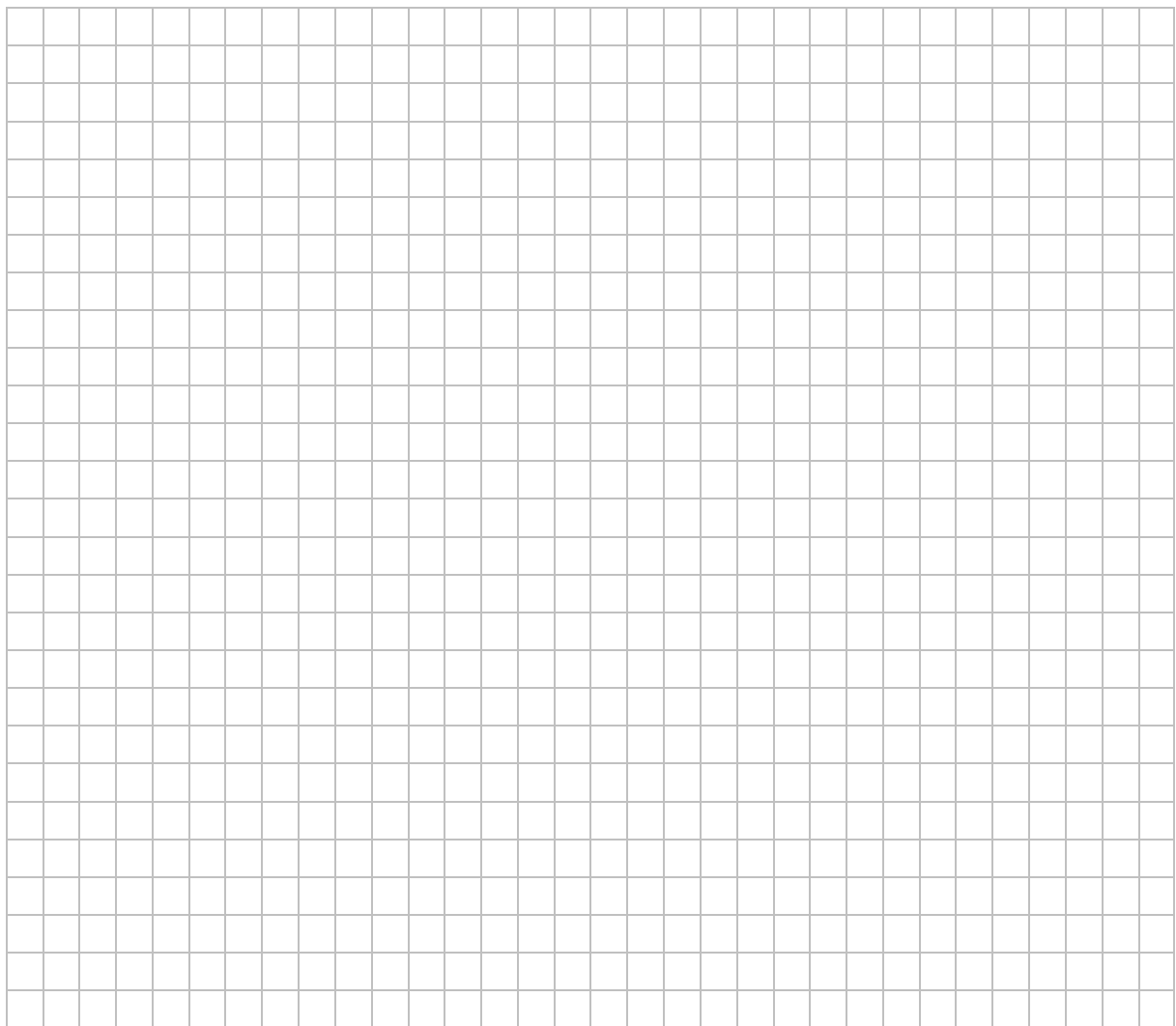
△ Fig.4.7 | Realisatie van een RS-flipflop met NAND-poorten.
Bron: W.Van Wichelen



2. Stel de toestandentabel op van de schakeling van figuur 4.8.
De E-ingang is een bijkomende controle-ingang.
Begrijp je waarom men deze ingang de '**enable**'-ingang noemt?

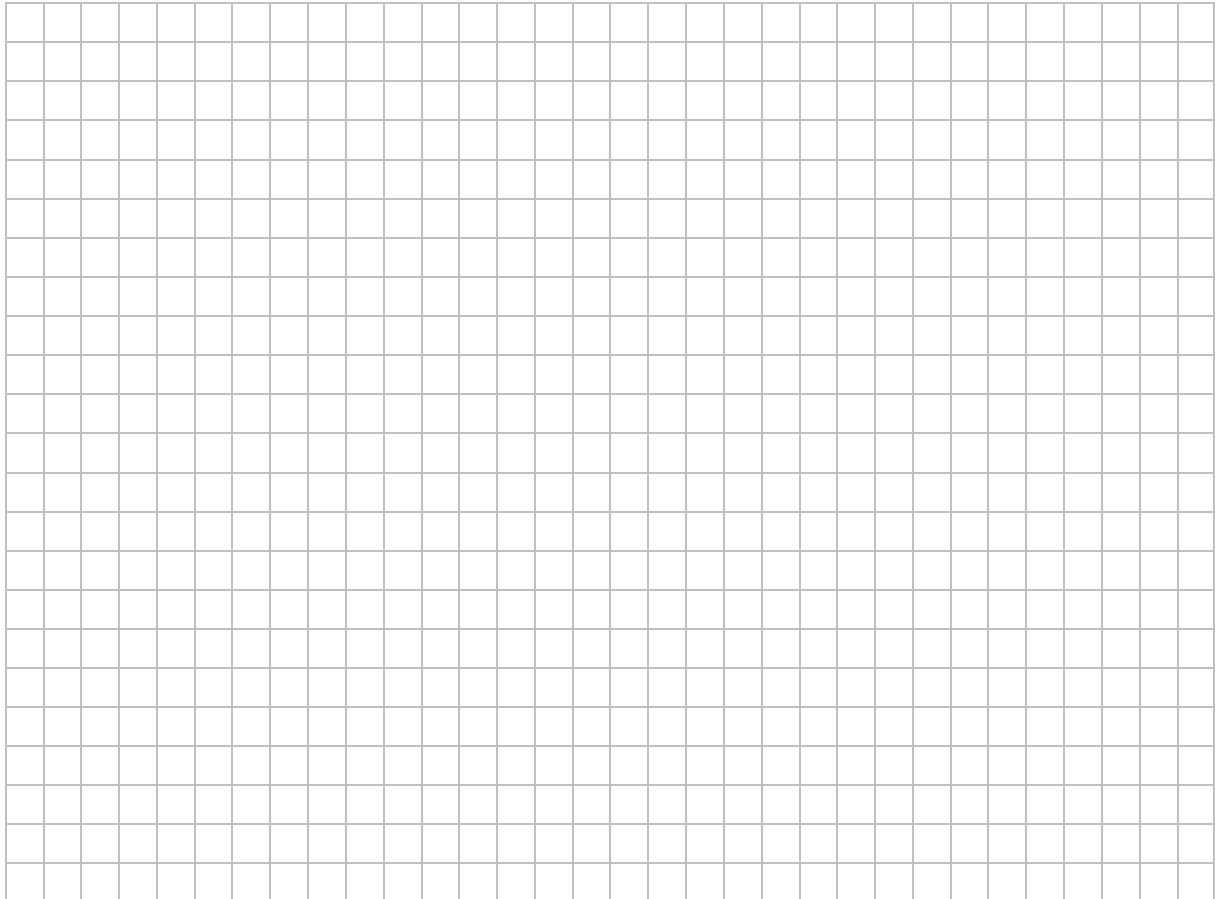


△ Fig.4.8 | Realisatie van een gepoorte RS-flipflop.
Bron: W.Van Wichelen



3. Bestudeer de datasheet van IC 74LS279.

- Hoeveel flipflops herbergt dit IC?
- Zijn de ingangen actief laag of actief hoog?
- Voor welke ingangstoestanden van flipflop 2 zijn de uitgangen onbepaald?
- Stel de waarheidstabel op voor flipflop 1.
- Wat is de maximale uitgangsstroom (sourcing)?
- Wat is de maximale uitgangsstroom (sinking)?



Laboproef 3

Realiseer de RS-flipflop van figuur 4.7 met NAND-poorten met behulp van het IC 74xx00.

- Stel de toestandentabel op en controleer alle toestanden met behulp van een statusled en 3 drukknoppen. Maak je gebruik van pull-up of pull-down weerstanden?
- Heb je te maken met actief hoge of actief lage ingangen?
- Wat bemerk je wanneer je een ingang laat zweven?
- Wat is de functie van de E-ingang?

4.2.6 Data-latch

Definitie

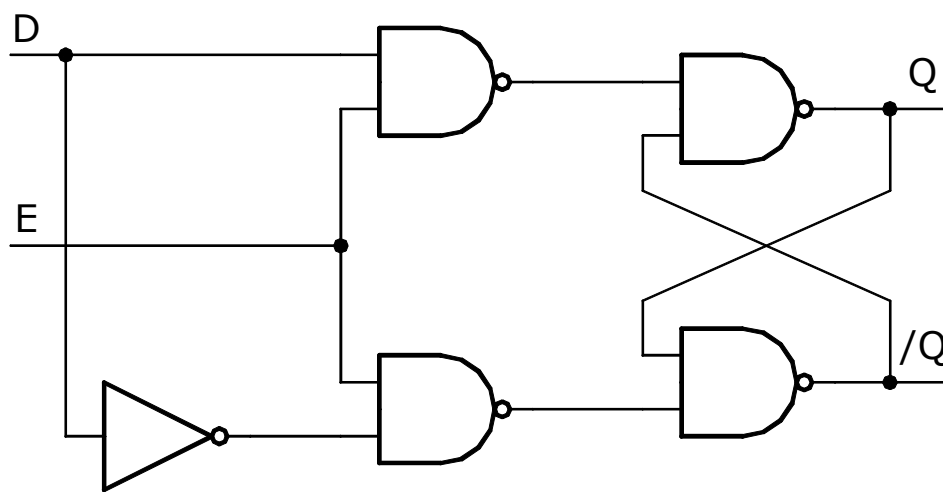
Een **data-latch** of kortweg **D-latch** is een flipflop die slechts 2 ingangen bezit:

- een **DATA**-ingang (**D**)
- een **ENABLE**-ingang (**E**)

Een D-latch passen we toe om tijdelijk digitale informatie op te slaan.

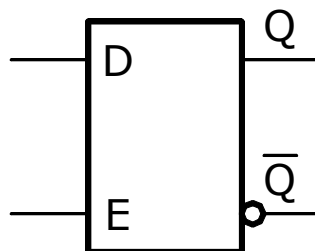


Principeschema



△ Fig.4.9 | Realisatie van een D-latch met NAND's.
Bron: W.Van Wichelen

Functiesymbool



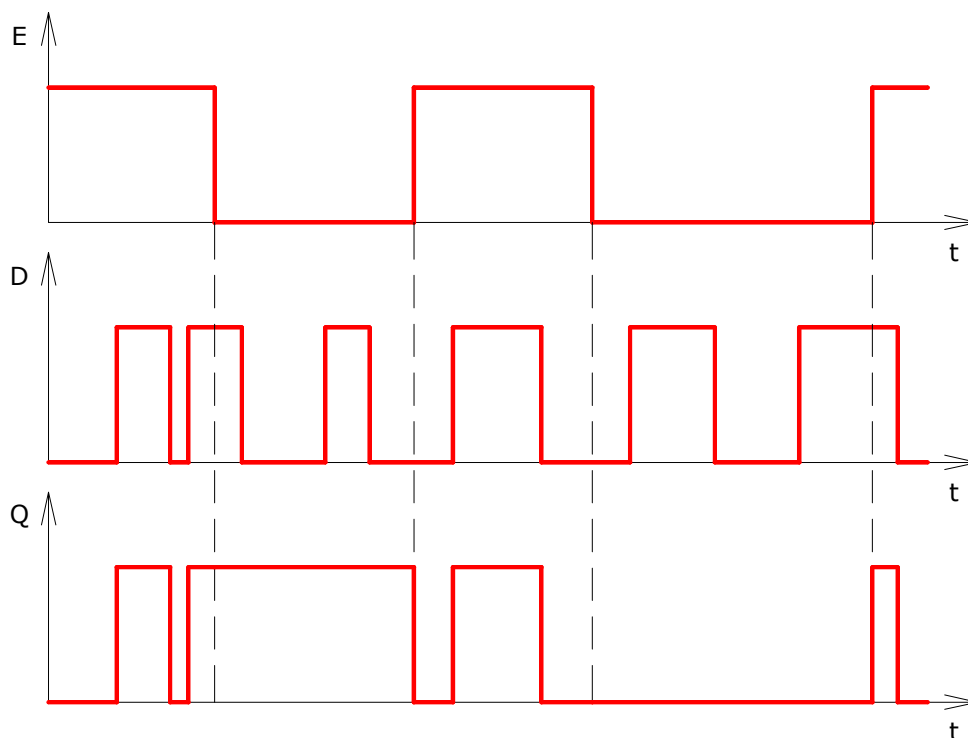
△ Fig.4.10 | Functiesymbool van een D-latch.
Bron: W.Van Wichelen

Werking

- zolang de **ENABLE**-ingang (**E**) laag is ('L'), behoudt de flipflop zijn ingenomen stand (**Q**);
- wordt de **E**-ingang hoog ('H'), dan neemt de flipflop de data op de **D**-ingang over (**Q_n**);
- wordt de **E**-ingang terug laag ('L'), dan behoudt de flipflop zijn laatste toestand (**Q**).



Tijdvolgordediagram



△ Fig.4.11 | Tijdvolgordediagram van een D-latch.
Bron: W.Van Wichelen

Toestandentabel

data input	enable input	output	next state
D	E	Q	Q _n
X	0	0	0
X	0	1	1
0	1	0	0
1	1	0	1
0	1	1	0
1	1	1	1

△ Fig.4.12 | Toestandentabel van een D-latch.
Bron: W.Van Wichelen

Karakteristieke tabel

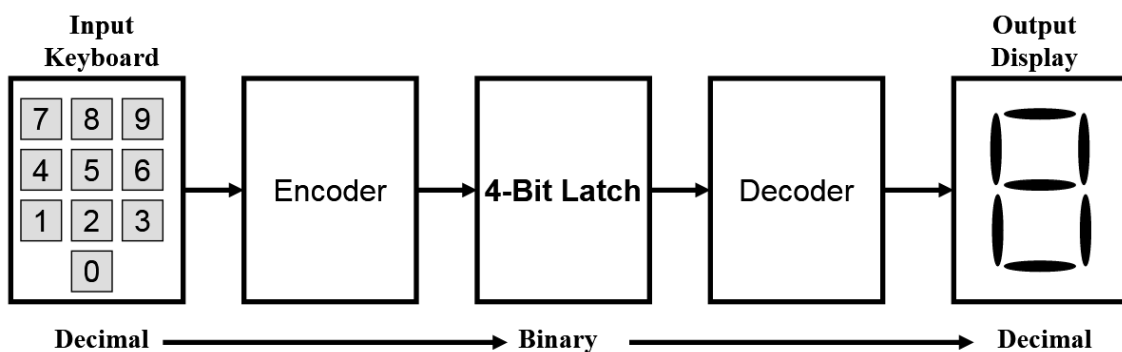
We kunnen van de toestandentabel van figuur 4.12 de karakteristieke tabel van figuur 4.13 afleiden. Deze laatste tabel geeft bondig de eigenschappen van een D-latch weer. Ook hier stelt het 'x-teken' een *don't care* voor.

data input	enable input	output
D	E	Q
x	0	Q
0	1	0
1	1	1

△ Fig.4.13 | Karakteristieke tabel van een D-latch.
Bron: W.Van Wichelen

4.2.7 Data-latch als buffergeheugen

Een data-latch passen we toe wanneer we een logische toestand een bepaalde tijd in een geheugen willen bewaren. Dit principe vinden we bijvoorbeeld terug in digitale meettoestellen waarbij de eindstand van een meting moet overgedragen worden naar een display. Het meetresultaat moet dan even in een **buffergeheugen** bewaard worden tot een volgend meetresultaat beschikbaar is.



△ Fig.4.14 | D-latch als buffergeheugen.
Bron: <https://slideplayer.com/slide/7833293>

4.2.8 IC 74LS75



DM74LS75

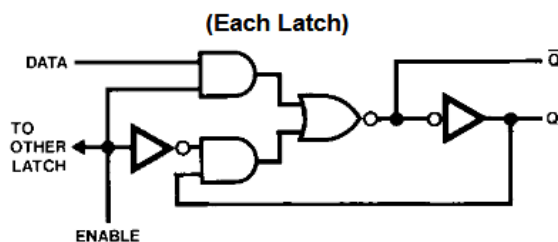
Quad Latch

General Description

These latches are ideally suited for use as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the enable is HIGH, and the Q output will follow the data input as long as the enable remains HIGH. When the enable goes LOW, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the enable is permitted to go HIGH.

These latches feature complementary Q and $\bar{Q}$ outputs from a 4-bit latch, and are available in 16-pin packages.

Logic Diagram



Function Table (Each Latch)

Inputs		Outputs	
D	Enable	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	Q_0	$\bar{Q}_0$

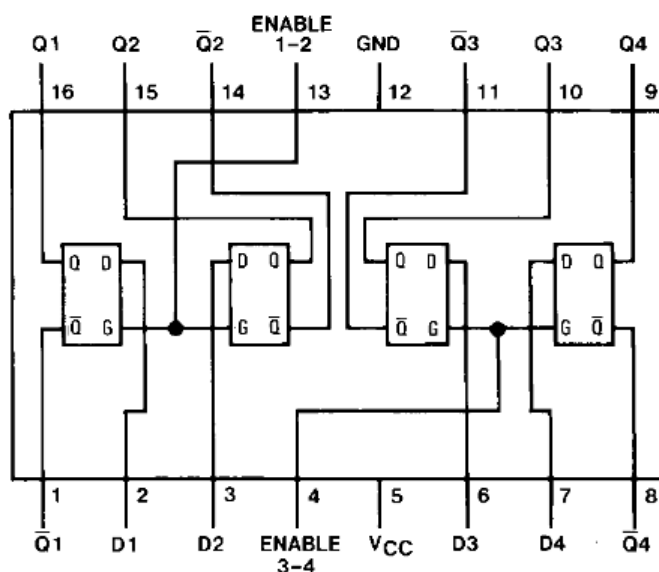
H = HIGH Level

L = LOW Level

X = Don't Care

Q_0 = The Level of Q Before the HIGH-to-LOW Transition of ENABLE

Connection Diagram



Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			-0.4	mA
I _{OL}	LOW Level Output Current			8	mA
t _W	Enable Pulse Width (Note 5)	20			ns
t _{SU}	Setup Time (Note 5)	20			ns
t _H	Hold Time (Note 5)	0			ns
T _A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

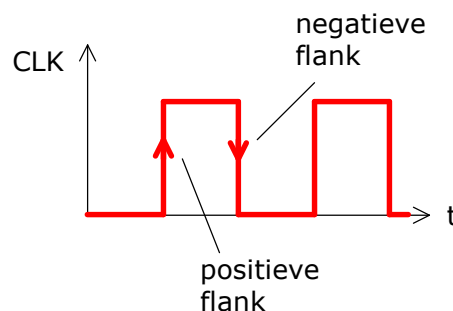
Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V
V _{OH}	HIGH Level Output Voltage	V _{CC} = Min, I _{OH} = Max V _{IL} = Max, V _{IH} = Min	2.7	3.5		V
V _{OL}	LOW Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _{IL} = Max, V _{IH} = Min		0.35	0.5	V
		I _{OL} = 4 mA, V _{CC} = Min		0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V	D		0.1	mA
		Enable			0.4	
I _{IH}	HIGH Level Input Current	V _{CC} = Max, V _I = 2.7V	D		20	μA
		Enable			80	
I _{IL}	LOW Level Input Current	V _{CC} = Max, V _I = 0.4V	D		-0.4	mA
		Enable			-1.6	
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	-20		-100	mA
I _{CC}	Supply Current	V _{CC} = Max (Note 3)		6.3	12	mA

4.2.9 Flanksturing

De *RS-flipflop* en de *D-latch* zijn **asynchrone** flipflops omdat ze data opnemen zonder dat er sprake is van een klok. Deze geheugenelementen worden niet gedwongen data op te nemen op welbepaalde tijdstippen. In **synchrone** systemen zijn echter flipflops nodig die data kunnen opslaan op commando van een klokpuls. Synchroon werkende flipflops nemen de aangeboden data op op het ogenblik dat het kloksignaal van niveau *verandert*. Deze flipflops reageren enkel wanneer het kloksignaal van '0' naar '1' gaat, of van '1' naar '0' gaat.

Positieve & negatieve flanksturing

- **Positieve flank:** kloksignaal evolueert van een laag (L) niveau naar een hoog (H) niveau, van '0' naar '1'.
- **Negatieve flank:** kloksignaal evolueert van een hoog (H) niveau naar een laag (L) niveau, van '1' naar '0'.
- *Positive edge triggered flipflop:* reageert op de positieve flank van het kloksignaal.
- *Negative edge triggered flipflop:* reageert op de negatieve flank van het kloksignaal.



△ Fig.4.15 | Positieve en negatieve flank.
Bron: W.Van Wichelen

4.2.10 Delay-flipflop

Definitie

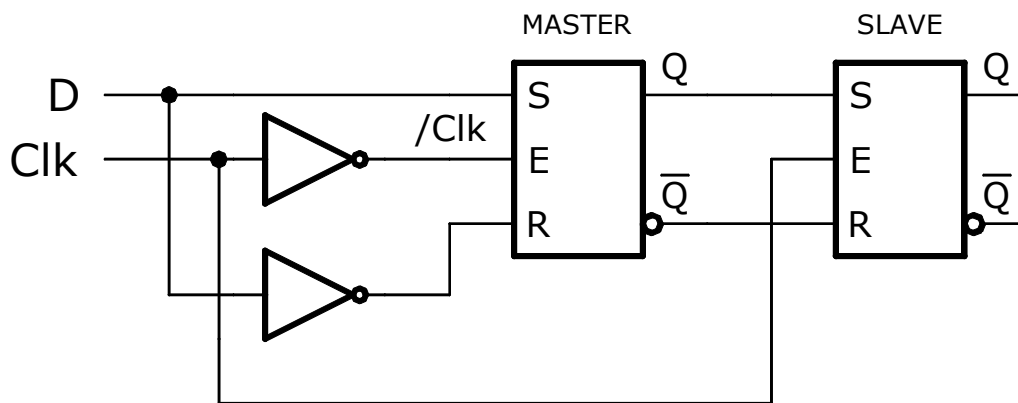
Een **delay-flipflop** of kortweg **D-flipflop** is een *synchrone* flipflop die 2 synchrone ingangen bezit:



- een **DATA**-ingang (**D**)
- een **KLOK**-ingang (**C, Clk**)

De status van de uitgang (**Q**) volgt (met vertraging) de status van de D-ingang op het moment van een **klokovertgang** (positive of negatieve flank).

Principeschema



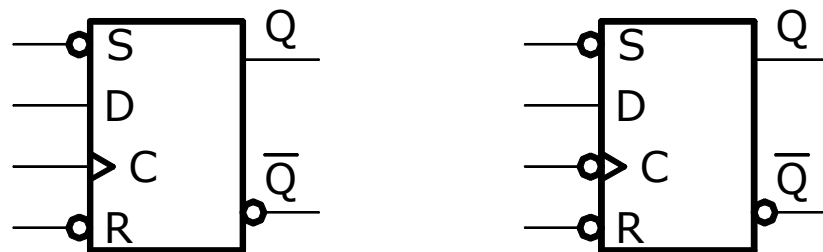
△ Fig.4.16 | Principeschema van een D-flipflop.
Bron: W.Van Wichelen

Het eerste geheugenelement noemt men de MASTER, het tweede geheugen de SLAVE. Zolang het kloksignaal laag is ('0'), is de E-ingang van de master-flipflop hoog ('1') en kan de data opgenomen worden. De E-ingang van de slave-flipflop is dan '0' zodat deze geen informatie kan inschrijven. De uitgang van de schakeling behoudt hierdoor de ingenomen toestand: de flipflop bevindt zich in de geheugenstand.

Op het moment dat het kloksignaal verandert van '0' naar '1' wordt het eerste geheugen geblokkeerd. Nu wordt echter de E-ingang van het tweede geheugen logisch '1' zodat de informatie van het eerste geheugen overgenomen wordt door het tweede. De uitgang Q zal hierdoor de ingeschreven data opnemen en bewaren.

Zolang het kloksignaal hoog ('1') is, is het eerste geheugen geblokkeerd terwijl het tweede geheugen de opgenomen data bewaart. De flipflop schrijft de informatie in op het moment van de overgang van '0' naar '1' van het kloksignaal; immers de tweede flipflop is geblokkeerd zolang de klok '0' is. Daarna wordt de eerste flipflop geblokkeerd zodra het kloksignaal '1' is. De delay-flipflop is daarom een **flankgestuurde** flipflop. Verder is het van belang dat de D-informatie moet stabiel zijn op het moment van de actieve flank van het kloksignaal.

Functioniesymbool



△ Fig.4.17 Functioniesymbool van een D-flipflop.
Links: triggering op positieve flank.
Rechts: triggering op negatieve flank.
Bron: W.Van Wichelen

In het functioniesymbool zijn twee extra *asynchrone* ingangen toegevoegd: de *onvoorwaardelijke* set-ingang en de *onvoorwaardelijke* reset-ingang. Onafhankelijk van de klok kunnen we via deze ingangen de flipflop setten (**preset, pr**) of resetten (**clear, clr**). Meestal zijn deze asynchrone ingangen actief laag. Bij flipflops die schakelen op stijgende klokflanken wordt de klokinput aangeduid met een kleine *driehoek*, bij dalende klokflanken komt er een *invertorteken* voor de klokingang.

Werking

De aangeboden *data* wordt in de flipflop opgenomen op het moment van:

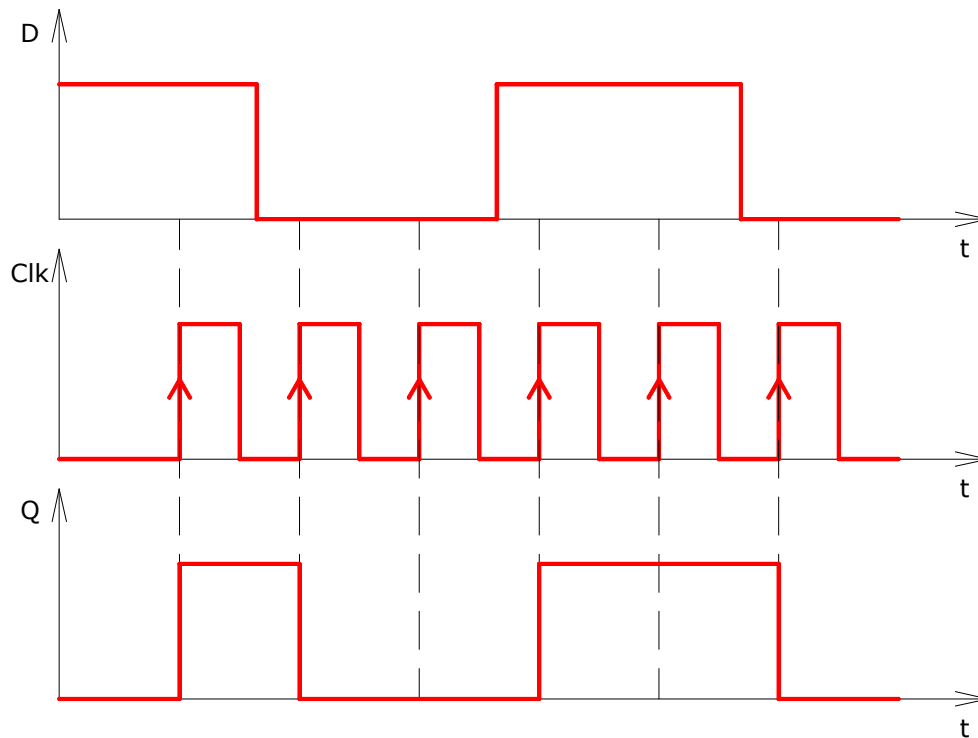
- de '0' naar '1' overgang van het kloksignaal (*positive edge triggered D-flipflop*)
- de '1' naar '0' overgang van het kloksignaal (*negative edge triggered D-flipflop*)

De opgenomen informatie blijft in de flipflop *bewaard* en is op de uitgang (Q) beschikbaar tot aan de volgende (positieve/negatieve) flank van het kloksignaal.



Een verandering van de ingangsdata wordt dus vertraagd tot aan het einde van de periodetijd van het kloksignaal. Aan deze eigenschap dankt deze flipflop zijn benaming.

Tijdvolgordediagram



△ Fig.4.18 | Tijdvolgordediagram van een D-flipflop met triggering op positieve flank van de klok.
Bron: W.Van Wichelen

Toestandentabel

De tabel van fig. 4.19 toont hoe een D-flipflop reageert op de positieve flank van de klok in overeenstemming met het tijdvolgordediagrammen van fig. 4.18.

klok	data input	output	next state
Clk	D	Q	Q_n
0	X	X	Q
1	X	X	Q
	X	X	Q
	0	0	0
	0	1	0
	1	0	1
	1	1	1

△ Fig.4.19 Toestandentabel van een D-flipflop met triggering op positieve flank van de klok.
Bron: W.Van Wichelen

Karakteristieke tabel

Praktische D-flipflops beschikken over een bijkomende Set- en Reset. Een bevel op die ingangen heeft altijd voorrang op de D-ingang en de klokingang.

/S	/R	Clk	D	Q	/Q	
0	1	X	X	1	0	preset
1	0	X	X	0	1	clear
0	0	X	X	1	1	verboden
1	1		0	0	1	inklokken van 0
1	1		1	1	0	inklokken van 1
1	1	0	X	Q	/Q	geheugen
1	1	1	X	Q	/Q	geheugen

△ Fig.4.20 Karakteristieke tabel van een D-flipflop met triggering op positieve flank van de klok.
Bron: W.Van Wichelen

Excitatie tabel

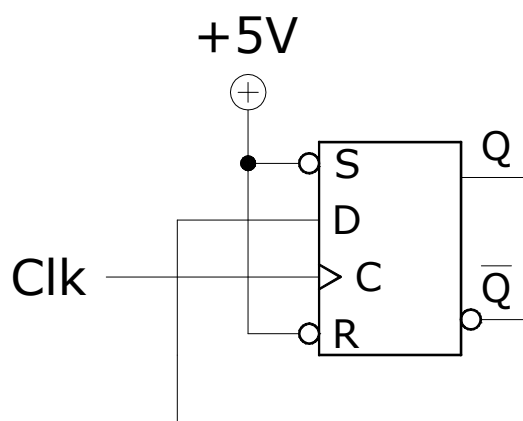
Bij een D-flipflop zal de Q-uitgang altijd de informatie aannemen die op de D-ingang aanwezig is op het ogenblik van de transitie van het kloksignaal. De voorwaarden van de ingangstoestanden worden samengevat in een **excitatie tabel**. Deze tabel bepaalt de ingangsvoorwaarden van de flipflop om alle mogelijke overgangen van de uitgangssignalen te kunnen realiseren. ' Q_n ' is de status van de uitgang na een klokpuls en Q is de status net voor de klokpuls.

Q	Q_n	D
0	0	0
0	1	1
1	1	1
1	0	0

△ Fig.4.21 Excitatie tabel van een D-flipflop.
Bron: W.Van Wichelen

4.2.11 Delay-flipflop als 2-deler

Figuur 4.22 toont een delay-flipflop als basisschakeling om digitale tellers te realiseren. We bestuderen het principe voor een D-flipflop die reageert op de positieve flank van het kloksignaal. De werking is eenvoudig te verklaren uit het feit dat de D-ingang verbonden is met de eigen $\neg Q$ -uitgang. Hierdoor zal de Q-uitgang bij iedere positieve flank van het kloksignaal de *tegengestelde* of *inverse* toestand aannemen.



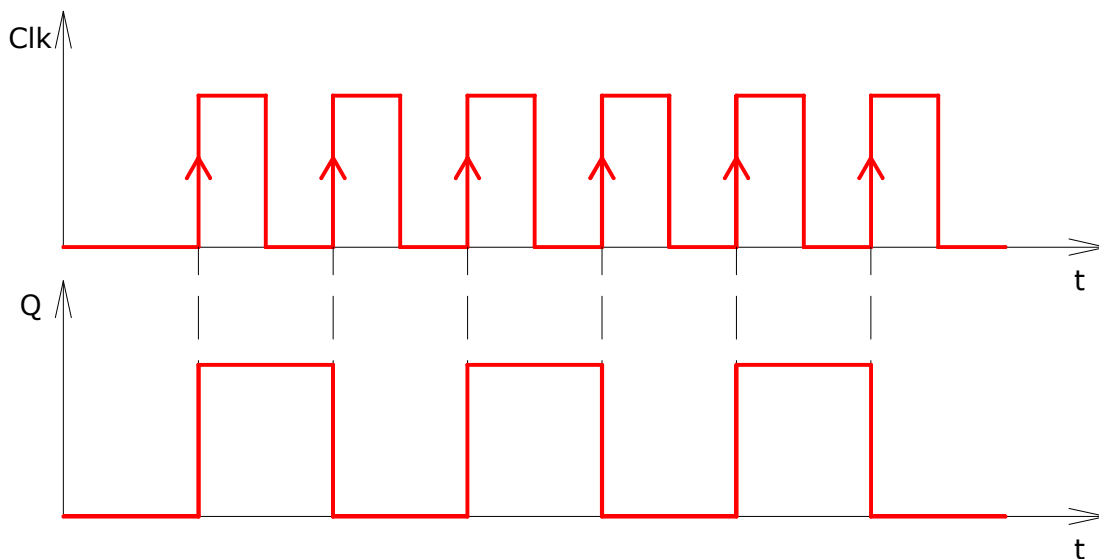
△ Fig.4.22 D-flipflop als 2-deler.
Bron: W.Van Wichelen

Complimenteren van een flipflop

- Als de flipflop op een bepaald moment de **0**-stand bezit dan zal hij bij de eerstvolgende klokpuls de **1**-stand aannemen.
- Bezit de flipflop de **1**-stand dan zal hij bij de eerstvolgende klokpuls de **0**-stand aannemen.



We noemen dit het **complimenteren** van een flipflop.



△ Fig.4.23 | Tijdvolgordediagram van een D-flipflop als 2-deler.
Bron: W.Van Wichelen

De frequentie van het uitgangssignaal Q is precies de helft van de frequentie van het ingangssignaal Clk: de flipflop werkt dus als een **2-deler**.

4.2.12 IC 74LS74



August 1986
Revised March 2000

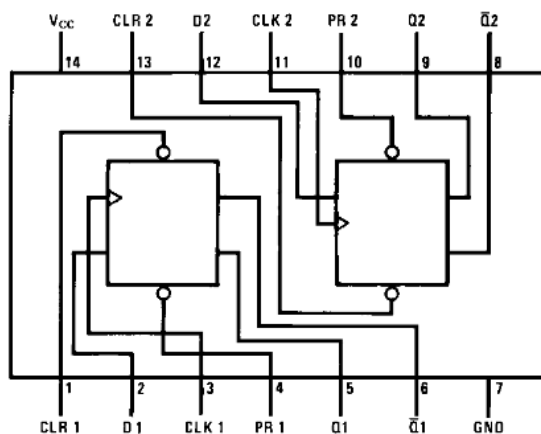
DM74LS74A

Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

H = HIGH Logic Level

X = Either LOW or HIGH Logic Level

L = LOW Logic Level

↑ = Positive-going Transition

Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			-0.4	mA
I_{OL}	LOW Level Output Current			8	mA
f_{CLK}	Clock Frequency (Note 3)	0		25	MHz
f_{CLK}	Clock Frequency (Note 4)	0		20	MHz
t_W	Pulse Width (Note 3)	Clock HIGH	18		ns
		Preset LOW	15		
		Clear LOW	15		
t_W	Pulse Width (Note 4)	Clock HIGH	25		ns
		Preset LOW	20		
		Clear LOW	20		
t_{SU}	Setup Time (Note 3)(Note 5)	20↑			ns
t_{SU}	Setup Time (Note 4)(Note 5)	25↑			ns
t_H	Hold Time (Note 5)(Note 6)	0↑			ns
T_A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 7)	Max	Units
V_I	Input Clamp Voltage	$V_{CC} = \text{Min}$, $I_I = -18 \text{ mA}$			-1.5	V
V_{OH}	HIGH Level Output Voltage	$V_{CC} = \text{Min}$, $I_{OH} = \text{Max}$ $V_{IL} = \text{Max}$, $V_{IH} = \text{Min}$	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	$V_{CC} = \text{Min}$, $I_{OL} = \text{Max}$ $V_{IL} = \text{Max}$, $V_{IH} = \text{Min}$		0.35	0.5	V
		$I_{OL} = 4 \text{ mA}$, $V_{CC} = \text{Min}$		0.25	0.4	
I_I	Input Current @ Max Input Voltage	$V_{CC} = \text{Max}$ $V_I = 7 \text{ V}$	Data		0.1	mA
			Clock		0.1	
			Preset		0.2	
			Clear		0.2	
I_{IH}	HIGH Level Input Current	$V_{CC} = \text{Max}$ $V_I = 2.7 \text{ V}$	Data		20	μA
			Clock		20	
			Clear		40	
			Preset		40	
I_{IL}	LOW Level Input Current	$V_{CC} = \text{Max}$ $V_I = 0.4 \text{ V}$	Data		-0.4	mA
			Clock		-0.4	
			Preset		-0.8	
			Clear		-0.8	
I_{OS}	Short Circuit Output Current	$V_{CC} = \text{Max}$ (Note 8)	-20		-100	mA
I_{CC}	Supply Current	$V_{CC} = \text{Max}$ (Note 9)		4	8	mA

4.2.13 JK-flipflop

Definitie

Een **JK-flipflop** is een gebruiksvriendelijke *synchrone* flipflop met 3 synchrone ingangen:



- een **J**-ingang
- een **K**-ingang
- een **KLOK**-ingang (**C**, **Clk**)

Ook deze flipflop neemt de wisselende data in zijn geheugen (Q) op het moment van de **transitie** van het kloksignaal.

Omdat de JK-flipflop méér besturingsmogelijkheden heeft, is hij gebruiksvriendelijker. In de praktijk bestaan JK-flipflops van het *master-slave* type en van het *flankgestuurde* type. In praktisch gebruik is er geen verschil tussen beide types. In de praktijk verkiezen we flankgestuurde flipflops omdat ze minder storingsgevoelig zijn.

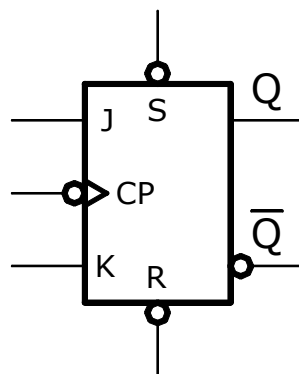
Werking

Bij het geven van een **klokpuls** (CP) zal bij:

- J = **1** en K = **0**
de flipflop **setten**
- J = **0** en K = **1**
de flipflop **resetten**
- J = **0** en K = **0**
de flipflop niet veranderen (**geheugen**)
- J = **1** en K = **1**
de flipflop **complimenteren**

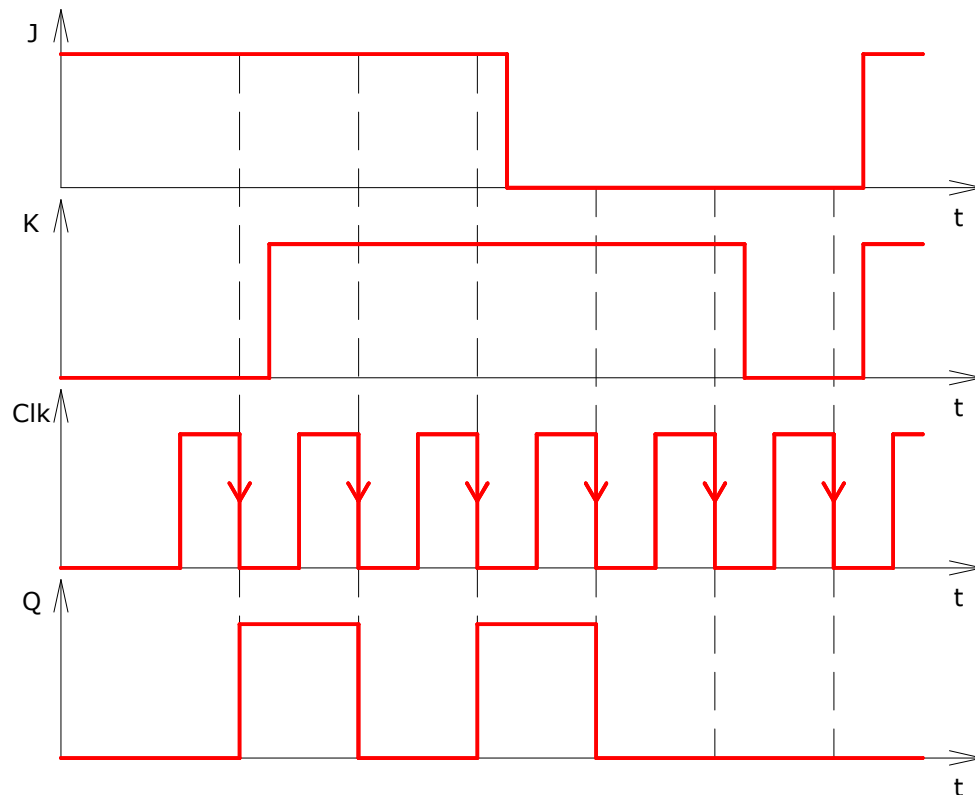


Functiesymbool



△ Fig.4.24 | Functiesymbool van een JK-flipflop met negatieve flanksturing. Bron: W.Van Wichelen

Tijdvolgordediagram



△ Fig.4.25 | Tijdvolgordediagram van een negative triggered JK-flipflop. Bron: W.Van Wichelen

Toestandentabel

Clk	J	K	Q	Q _n
0	X	X	Q	Q
1	X	X	Q	Q
↑	X	X	Q	Q
↓	1	0	0	1
↓	1	0	1	1
↓	1	1	0	1
↓	1	1	1	0
↓	0	1	0	0
↓	0	1	1	0
↓	0	0	0	0
↓	0	0	1	1

△ Fig.4.26 | Toestandentabel van een negative triggered JK-flipflop. Bron: W.Van Wichelen

Karakteristieke tabel

/S	/R	Clk	J	K	Q _n	/Q _n	
0	1	X	X	X	1	0	preset
1	0	X	X	X	0	1	clear
0	0	X	X	X	1	1	verboden
1	1		1	1	/Q	Q	complimenteren
1	1		1	0	1	0	set
1	1		0	1	0	1	reset
1	1		0	0	Q	/Q	geheugen

△ Fig.4.27 Karakteristieke tabel van een negative triggered JK-flipflop met actief lage prioriteitsingangen.
Bron: W.Van Wichelen

Exitatietabel

JK-flipflops worden zeer veel gebruikt om digitale telschakelingen te realiseren. Bij het ontwerp van deze tellers is een excitatietabel zeer nuttig. Er doen zich 4 mogelijkheden voor:

- de flipflop bezit de 0-stand en moet '0' blijven na de eerstvolgende klokpuls.
- de flipflop bezit de 0-stand en moet '1' worden na de eerstvolgende klokpuls.
- de flipflop bezit de 1-stand en moet '1' blijven na de eerstvolgende klokpuls.
- de flipflop bezit de 1-stand en moet '0' worden na de eerstvolgende klokpuls.

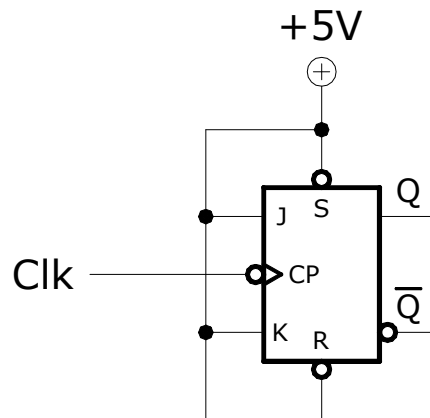
Gezien een JK-flipflop 2 sturingangen bezit, beschikken we voor de 4 verschillende mogelijkheden iedere keer over 2 combinaties voor de J- en K-ingangsinformatie. De excitatietabel vat dit alles op een overzichtelijke manier samen.

Q	Q _n	J	K
0	0	0	X
0	1	1	X
1	1	X	0
1	0	X	1

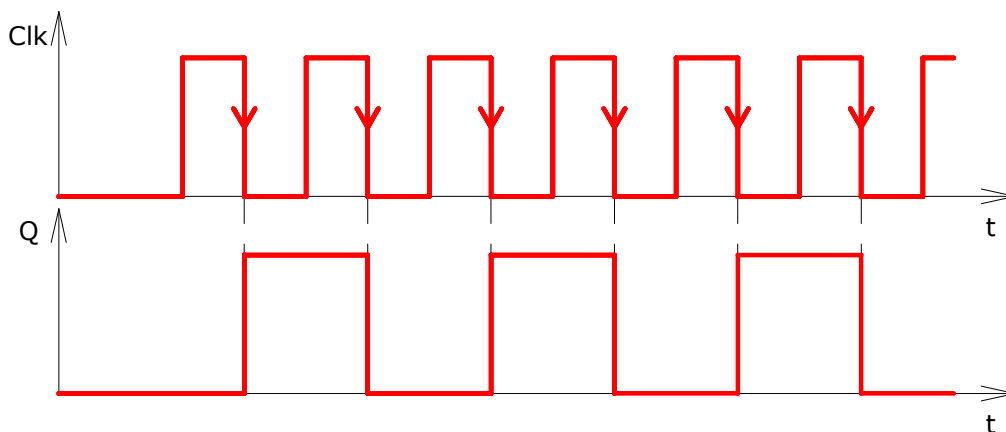
△ Fig.4.28 Excitatietabel van een JK-flipflop.
Bron: W.Van Wichelen

4.2.14 JK-flipflop als 2-deler

De basisschakeling van digitale tellers is een 2-deler. Figuur 4.29 toont het principe in een uitvoering met een JK-flipflop. Omdat de J- en K-ingangen zich altijd in de logische toestand '1' bevinden, zal de flipflop complementeren bij iedere negatieve flank van de klok. Omdat de flipflop 2 keer moet getriggerd worden om zijn oorspronkelijke stand terug in te nemen, is de flipflop een 2-deler.



△ Fig.4.29 JK-flipflop als 2-deler.
Bron: W.Van Wichelen



△ Fig.4.30 Tijdvolgordediagram van een JK-flipflop als 2-deler.
Bron: W.Van Wichelen

4.2.15 IC 74LS76

SN74LS76A

Semiconductor®

Formerly
FAIRCHILD™

Dual JK Flip-Flop with Set and Clear

The SN74LS76A offers individual J, K, Clock Pulse, Direct Set and Direct Clear inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The Logic Level of the J and K inputs will perform according to the Truth Table as long as minimum set-up times are observed. Input data is transferred to the outputs on the HIGH-to-LOW clock transitions.



MODE SELECT – TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	$\overline{S}_D$	$\overline{C}_D$	J	K	Q	$\overline{Q}$
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	$\overline{q}$	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	$\overline{q}$

* Both outputs will be HIGH while both $\overline{S}_D$ and $\overline{C}_D$ are LOW, but the output states are unpredictable if $\overline{S}_D$ and $\overline{C}_D$ go HIGH simultaneously.

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

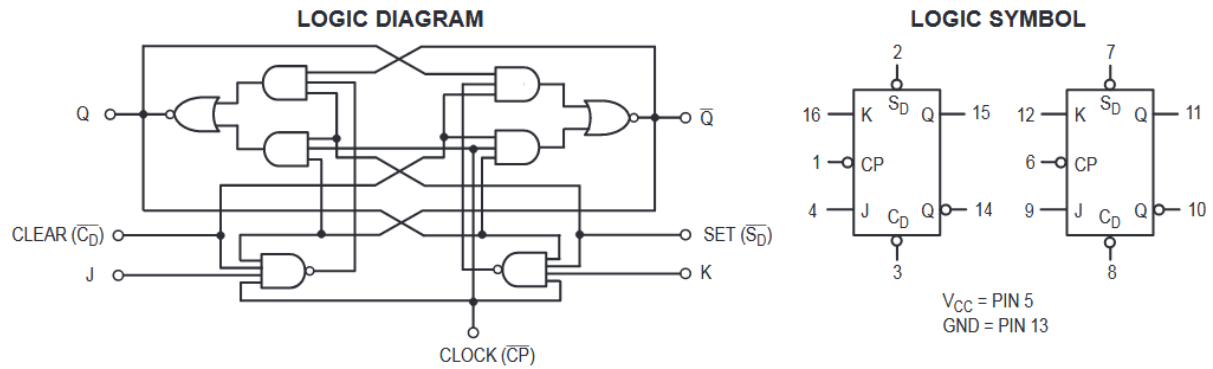
X = Immaterial

l, h (q) = Lower case letters indicate the state of the referenced input

(or output) one setup time prior to the HIGH-to-LOW clock transition

GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V_{CC}	Supply Voltage	4.75	5.0	5.25	V
T_A	Operating Ambient Temperature Range	0	25	70	°C
I_{OH}	Output Current – High			–0.4	mA
I_{OL}	Output Current – Low			8.0	mA

**DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE** (unless otherwise specified)

Symbol	Parameter		Limits			Unit	Test Conditions
			Min	Typ	Max		
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage			-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage		2.7	3.5		V	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage			0.25	0.4	V	$I_{OL} = 4.0 \text{ mA}$
				0.35	0.5	V	$I_{OL} = 8.0 \text{ mA}$
I_{IH}	Input HIGH Current	J, K Clear Clock			20 60 80	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
		J, K Clear Clock			0.1 0.3 0.4	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 7.0 \text{ V}$
I_{IL}	Input LOW Current	J, K Clear, Clock			-0.4 -0.8	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
I_{OS}	Short Circuit Current (Note 1)		-20		-100	mA	$V_{CC} = \text{MAX}$
I_{CC}	Power Supply Current				6.0	mA	$V_{CC} = \text{MAX}$

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
f_{MAX}	Maximum Clock Frequency	30	45		MHz	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PLH}	Clock, Clear, Set to Output		15	20	ns	
t_{PHL}			15	20	ns	

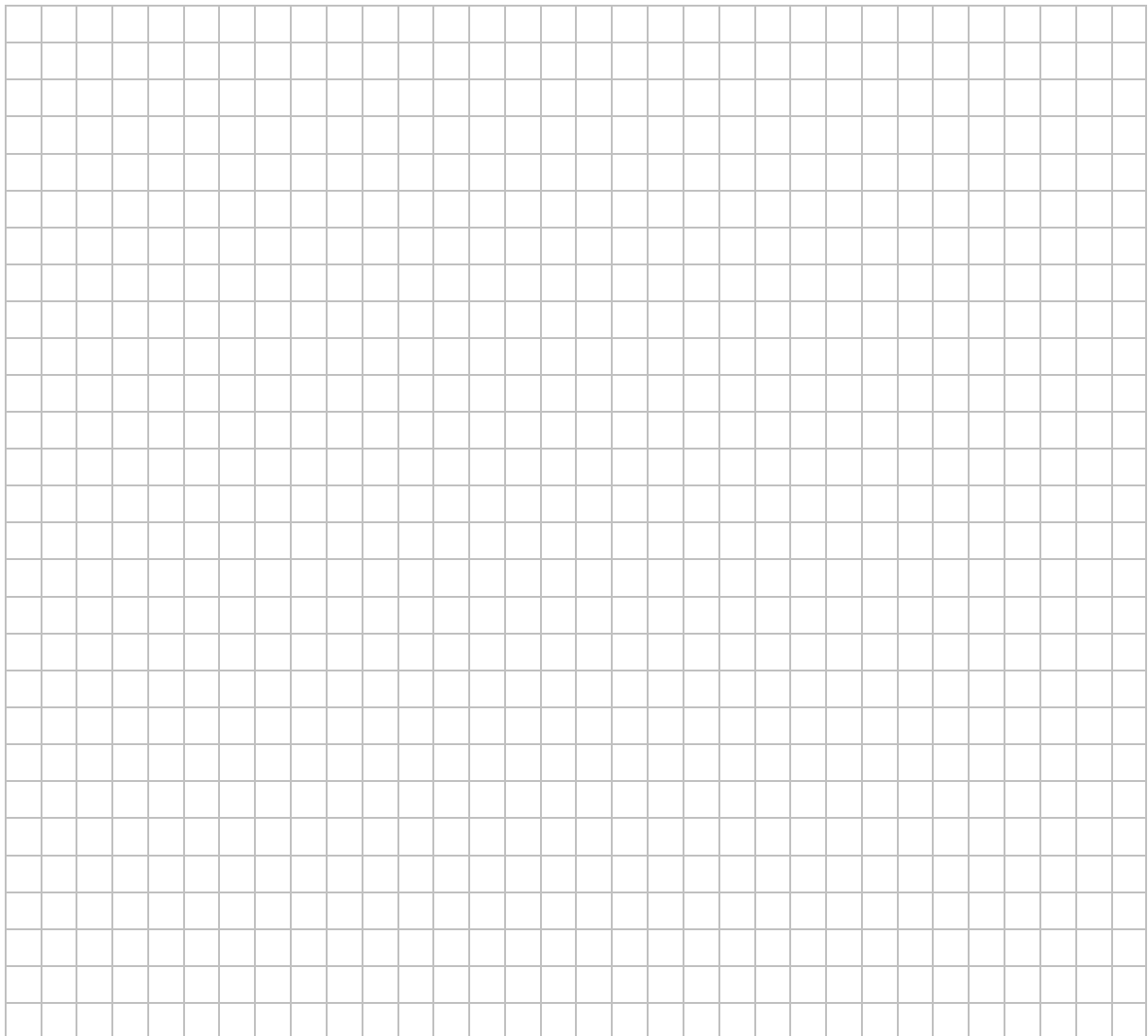
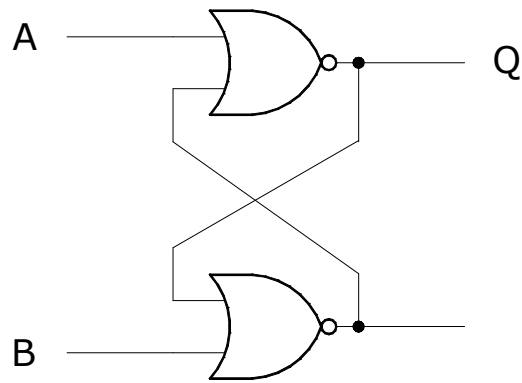
AC SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	Clock Pulse Width High	20			ns	$V_{CC} = 5.0 \text{ V}$
t_W	Clear Set Pulse Width	25			ns	
t_S	Setup Time	20			ns	
t_H	Hold Time	0			ns	

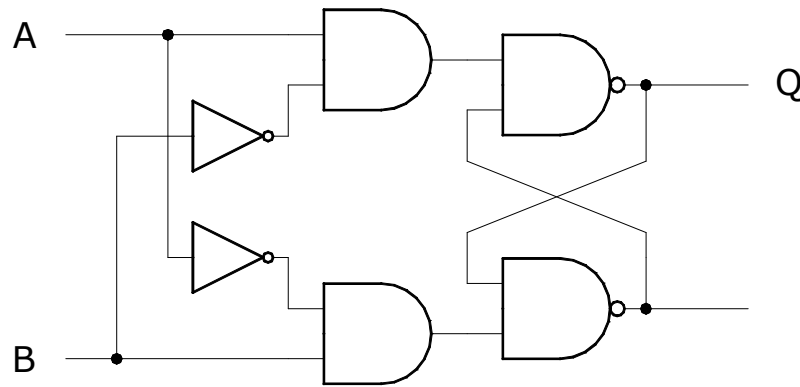
4.2.1b Oefeningen

Reeks 1

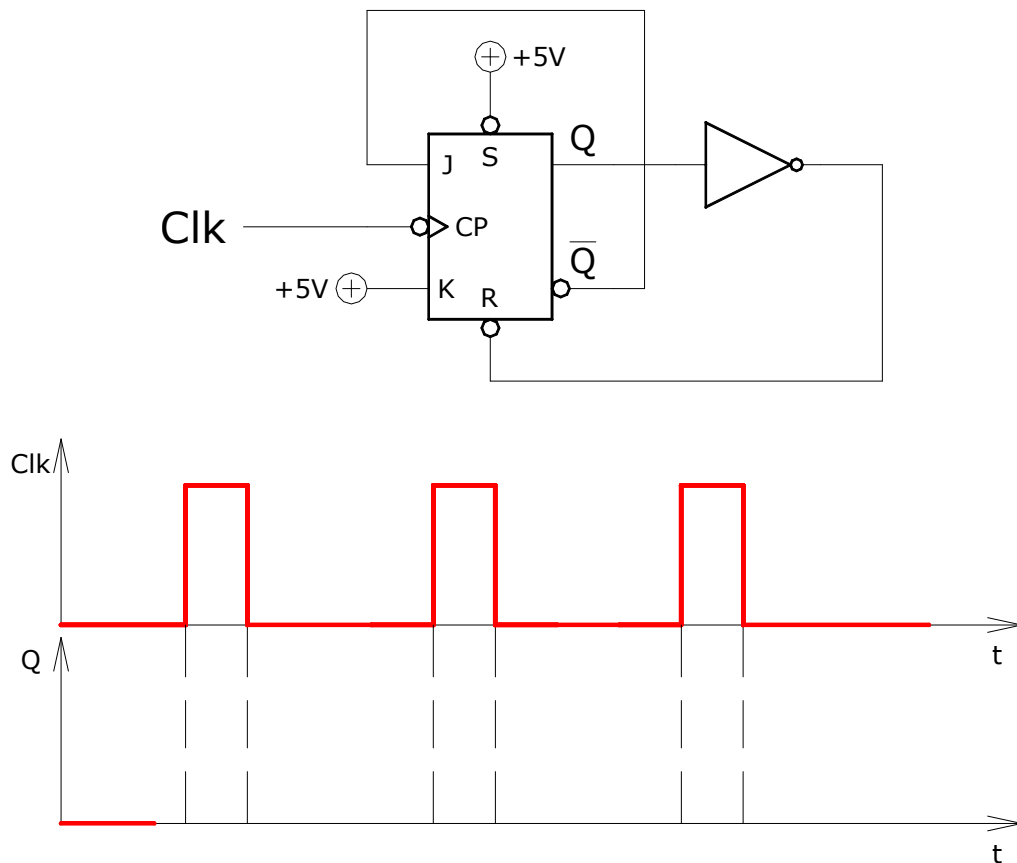
1. Stel de toestandentabel en de karakteristieke tabel op van de gegeven SR-flipflop. Welke ingang is de set-ingang? Zijn A en B actief hoge of actief lage ingangen?



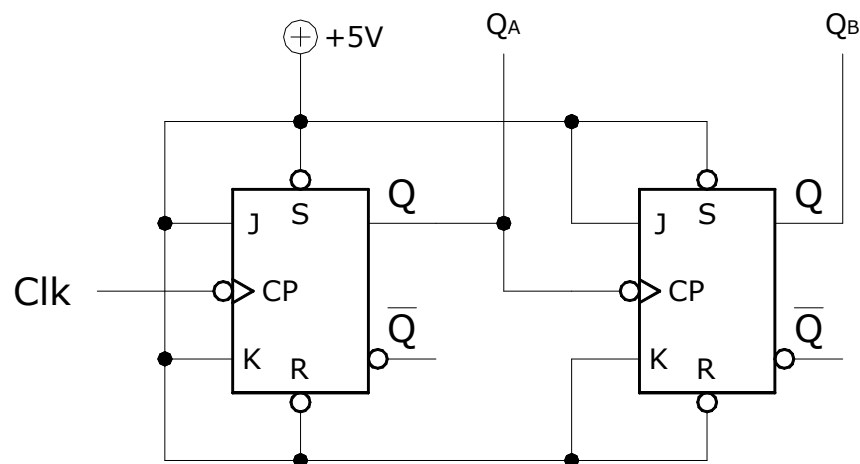
2. Stel de toestandentabel en de karakteristieke tabel op van de gegeven RS-flipflop.

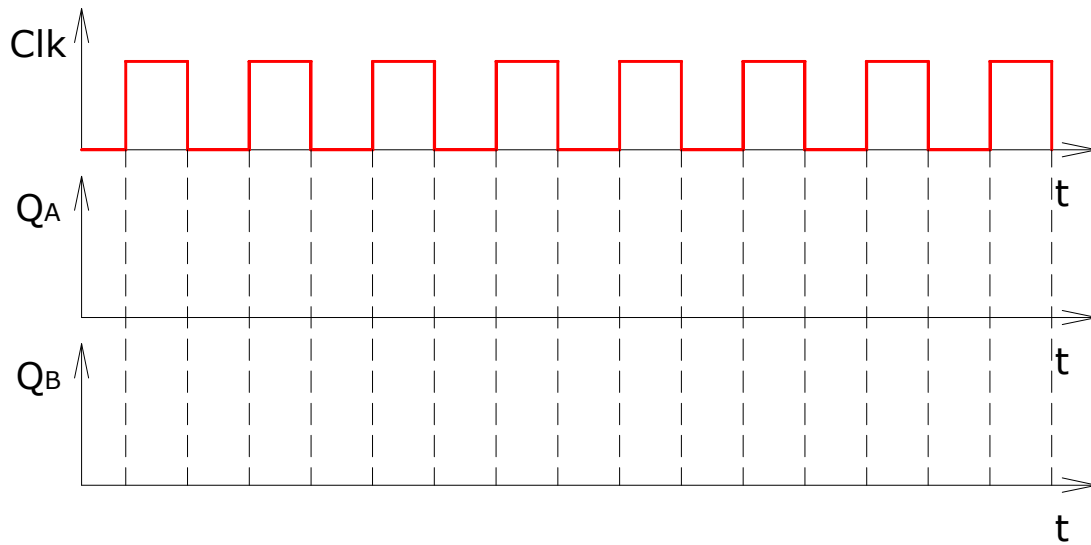
This image shows a full page of blank graph paper. The grid consists of thin, light gray horizontal and vertical lines that intersect to form a uniform pattern of small squares across the entire surface. There are no margins, text, or other markings on the paper.

3. Vervolledig het tijdvolgordediagram voor het gegeven schema.

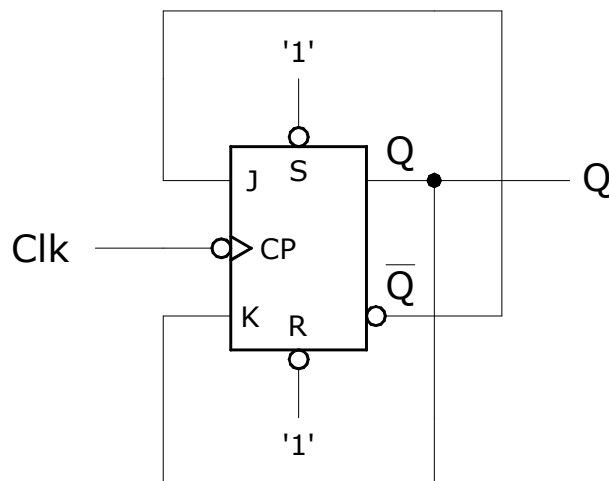


4. Vervolledig het tijdvolgordediagram voor het gegeven schema. Wat kan je besluiten i.v.m. de frequentie van het ingang-sigitaal en het uitgang-sigitaal?

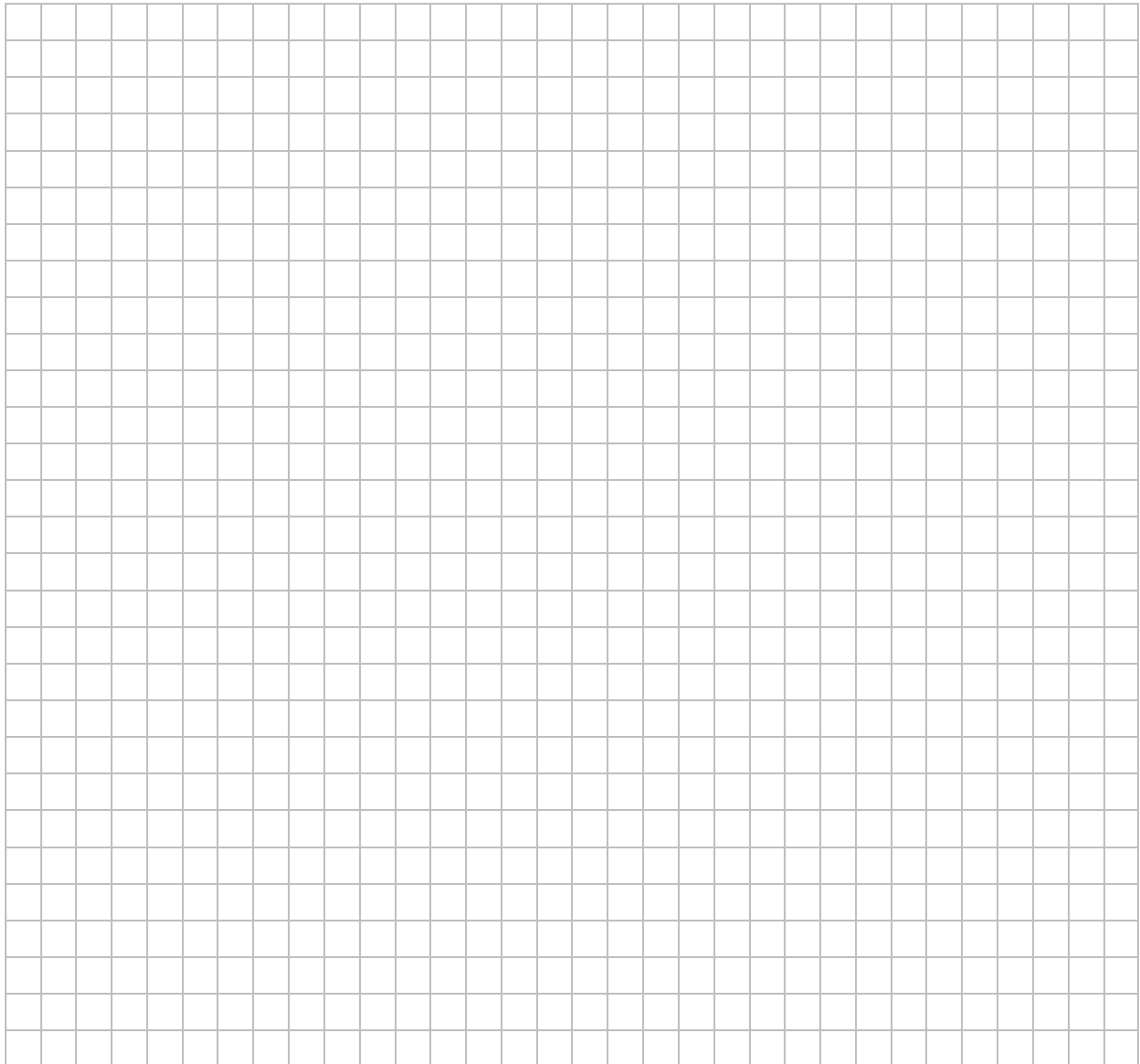
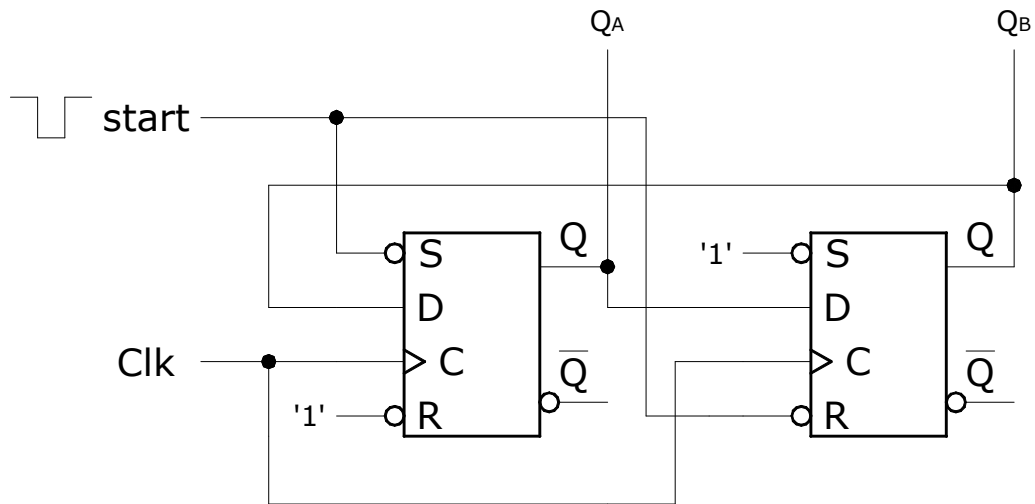




5. Stel de karakteristieke tabel op voor de gegeven flipflop.

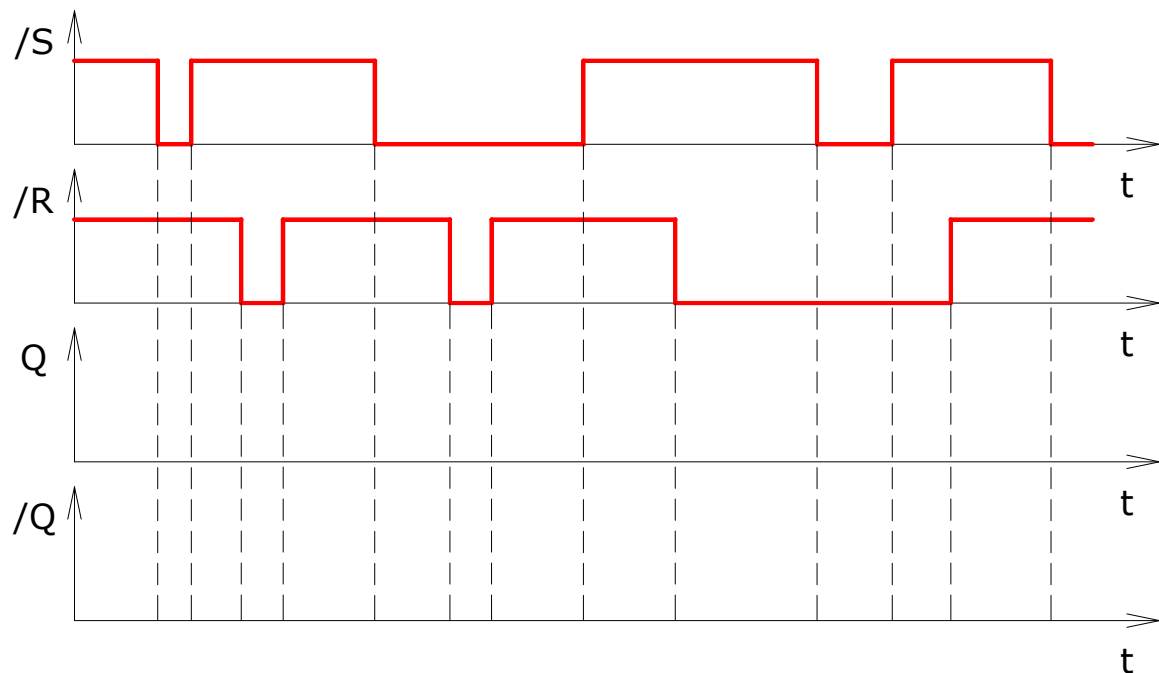


6. In de gegeven schakeling zal een startimpuls de flipflop A zetten en de flipflop B resetten. Bereken hoe de schakeling reageert bij een aantal klokpulsen.

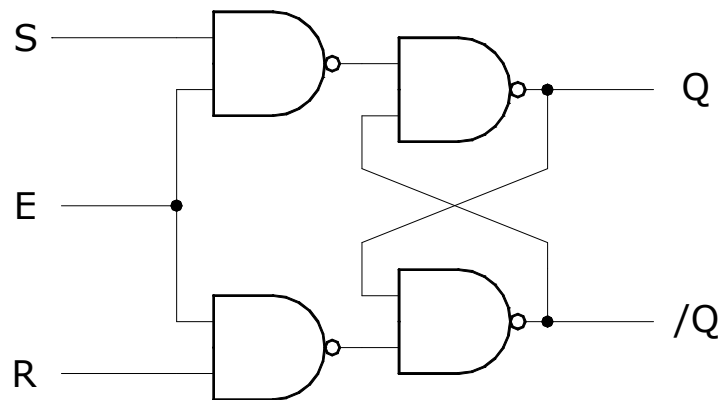


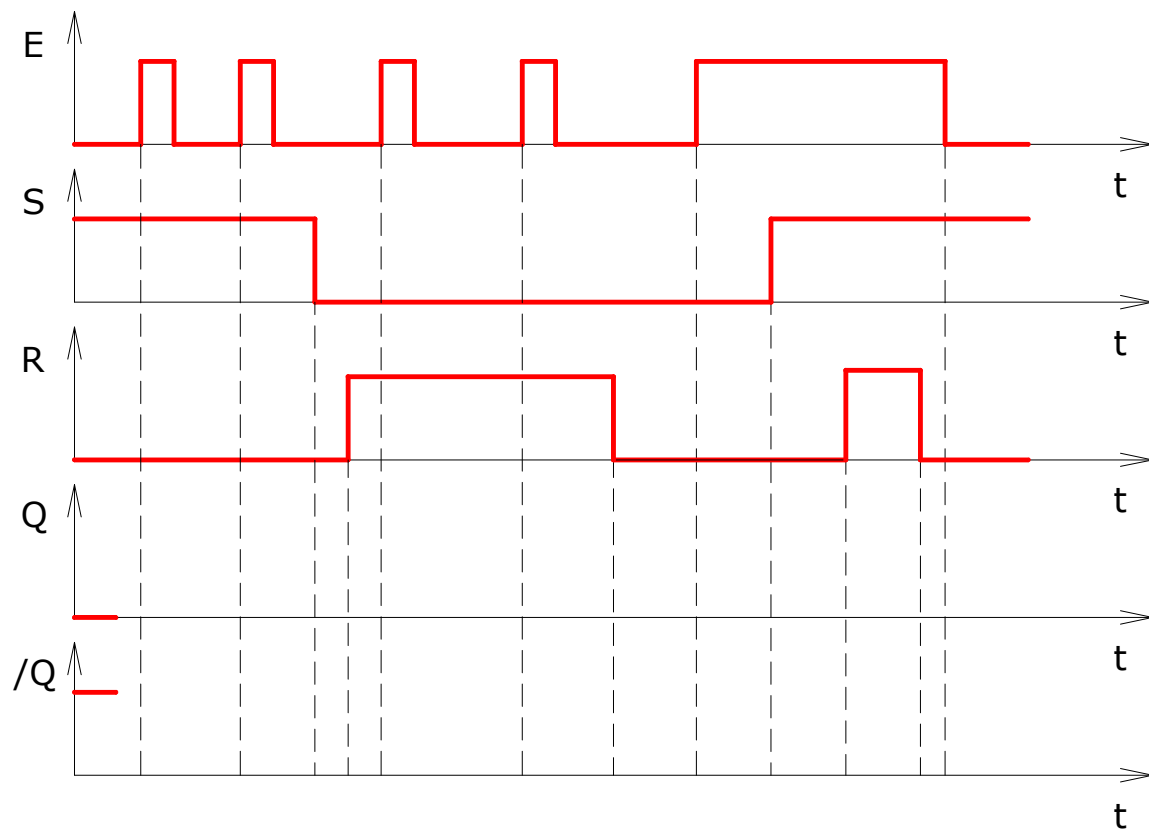
Reeks 2

1. Teken het verloop van de uitgangssignalen Q en $/Q$ bij een SR-flipflop van het type 74279.

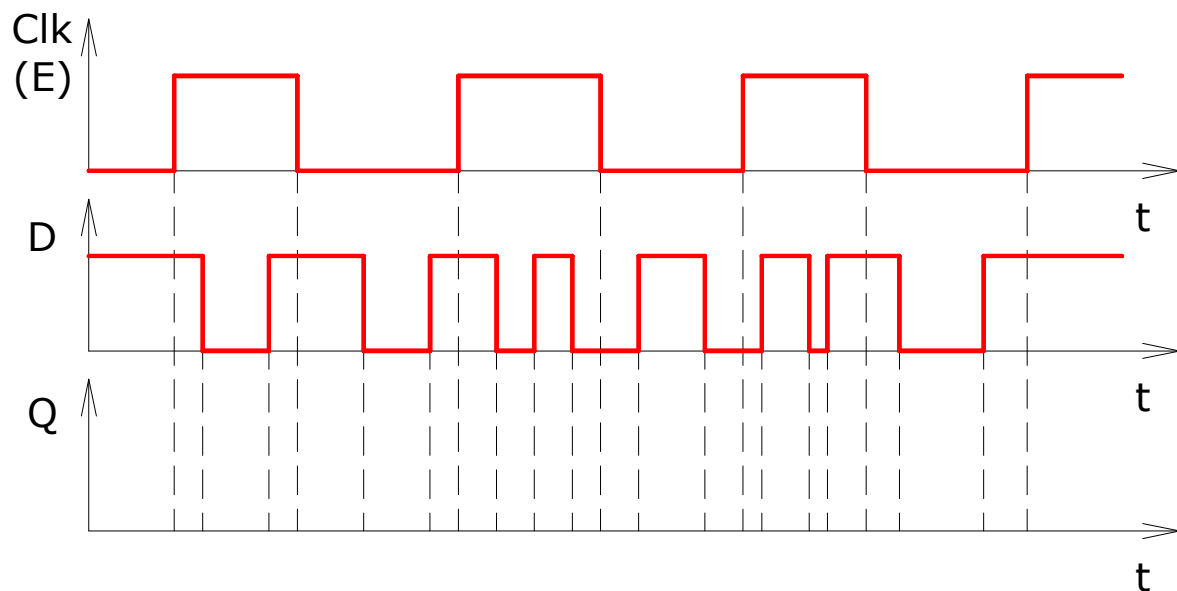


2. Teken het verloop van de uitgangssignalen Q en $/Q$ voor gegeven gepoorte SR-flipflop.

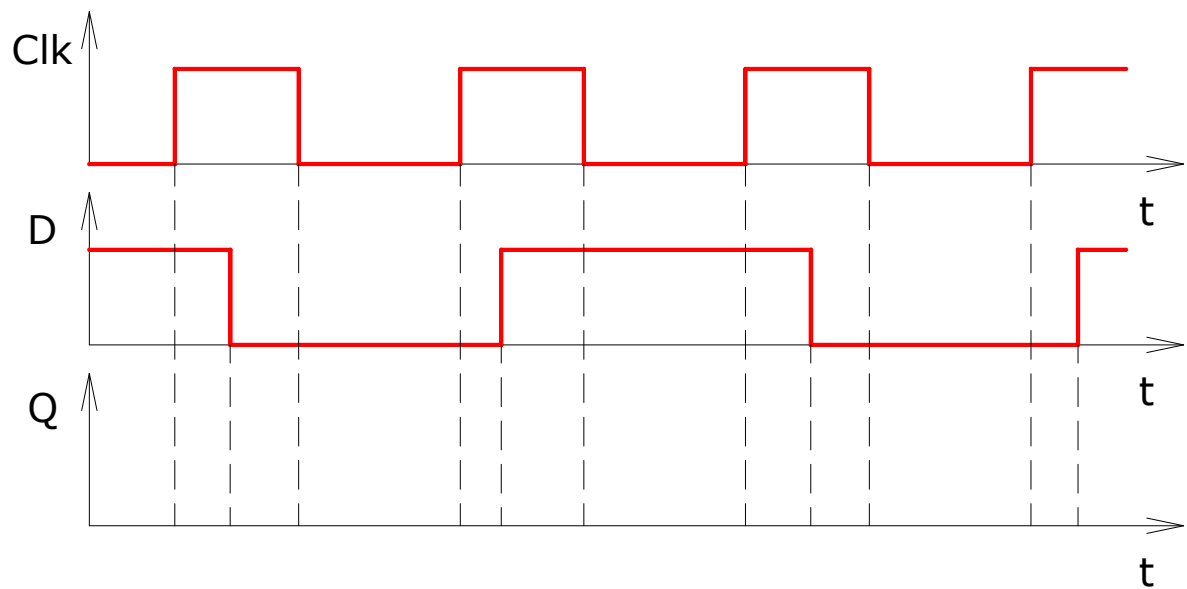




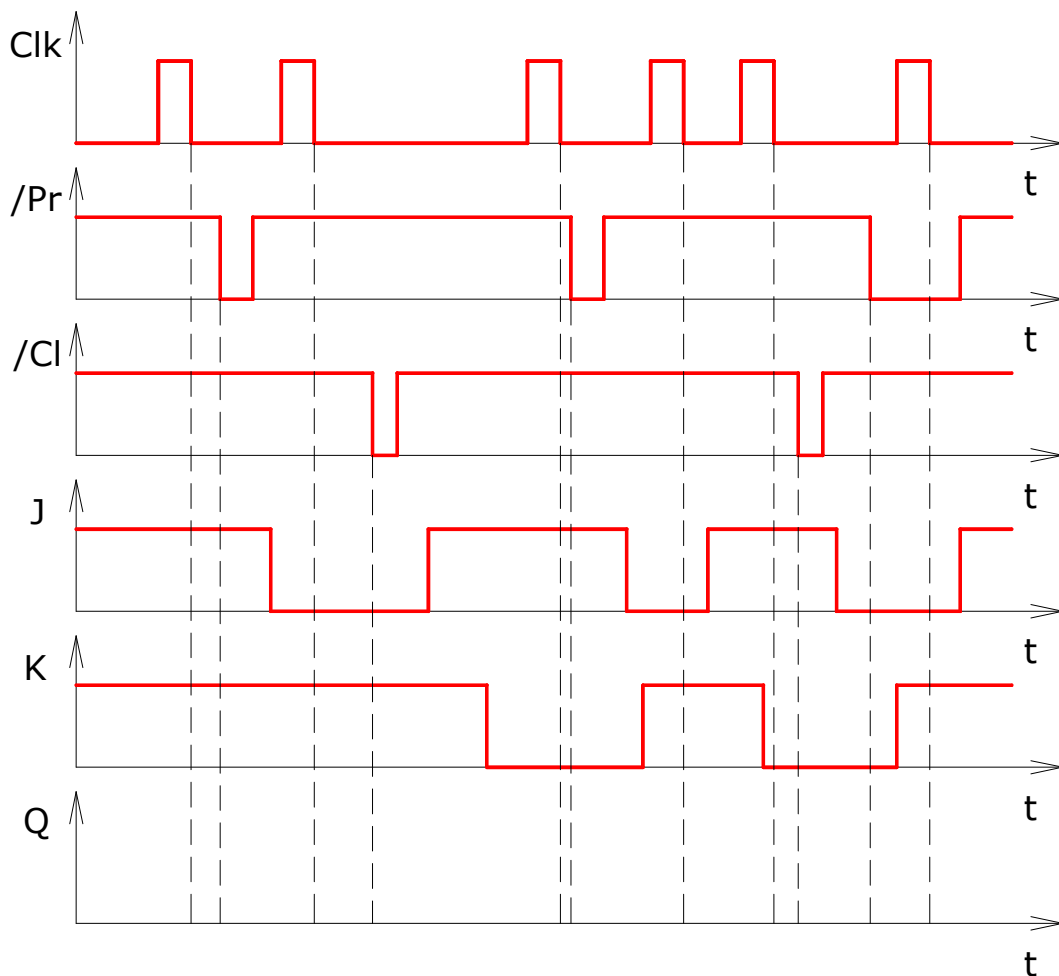
3. Teken het verloop van het uitgangssignaal Q van een D-latch.



4. Teken het verloop van het uitgangssignaal Q van een D-flipflop.



5. Teken het verloop van Q van een negative triggered JK-flipflop.



Reeks 2

1. Benoem enkele synchrone flipflops.
2. Wat bedoelen we met de negatieve transitie van het kloksignaal?
3. Kan de uitgang van een JK-flipflop veranderen wanneer het kloksignaal continue aan logische nul hangt?
4. Wat bedoelen we met het *complementeren* van een JK-flipflop?
5. Hoe kunnen we een JK-flipflop setten?
6. Hoe kunnen we een JK-flipflop resetten?
7. We maken een tweedeler m.b.v. een JK-flipflop. Waarom leggen we zowel de J als de K aan logische 1?
8. Moet er een klokevergang plaats vinden willen we een JK-flipflop resetten m.b.v. het asynchrone R-commando?
9. Moet er een klokevergang plaats vinden willen we een JK-flipflop setten m.b.v. het asynchrone S-commando?
10. We bestuderen een delay flipflop (D-flipflop) die reageert op de positieve flank van het kloksignaal. Q is op dit moment 0. Er verschijnt een logische 1 aan de D-ingang.
 - a. Welke toestand neemt de D-flipflop aan bij een klokevergang van 0 naar 1?
 - b. Welke toestand neemt de D-flipflop aan bij een klokevergang van 1 naar 0?
 - c. Welke toestand neemt de D-flipflop aan wanneer de klok laag blijft?
 - d. Welke toestand neemt de D-flipflop aan wanneer de klok hoog blijft?
11. Een bepaalde pin van het IC 74LS74 heet 'Asynchronous Set'. Wat bedoelt de fabricant hiermee?
12. Wat bedoelt een fabricant met: 'Dual JK Negative Edge Triggered Flipflop'?

A full-page view of a blank sheet of graph paper. The grid consists of thin, light gray horizontal and vertical lines forming small squares across the entire page. There are no margins, text, or other markings on the paper.



Laboproef 4

Realiseer een 2-deler met een D-flipflop en een JK-flipflop. Maak gebruik van de IC's 74LS74 en 74LS76.

- Een functiegenerator levert een blokvormig kloksignaal van 1 kHz met een duty-cycle van 50%.
- Op kanaal 1 van de oscilloscoop sluit je de klok aan en op kanaal 2 sluit je de Q-uitgang aan.
- Teken de tijdvolgordediagrammen en formuleer een besluit.
- Wat doe je met niet gebruikte ingangen?